


Arora V 138K FPGA 製品プログラミング ・コンフィギュレーション ユーザーガイド

著作権について(2024)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN **高云**及び**Gowin**は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2023/04/20	1.0J	初版。
2023/05/06	1.0.1J	MSPI モードにおける DIN ピンを MISO ピンに更新。
2023/10/31	1.0.2J	<ul style="list-style-type: none">● コンフィギュレーションファイルのロード時間の計算式を修正。● 各デバイスの ID CODE と、POR モジュールによって監視される電源レールの情報を改善。● 25K デバイスの情報を削除。
2024/05/22	1.0.3J	ピン名を統一。

目次

目次	i
図一覧	iii
表一覧	v
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	4
2 用語の説明	5
3 コンフィギュレーション・インターフェース	7
3.1 コンフィギュレーション・モード	7
3.2 コンフィギュレーション・ピン	9
3.3 マスターモードのコンフィギュレーション・クロック	19
3.4 JTAG コンフィギュレーション・モード	19
3.4.1 JTAG コンフィギュレーション・モードの接続図	19
3.4.2 JTAG コンフィギュレーション・モードのタイミング図	20
3.4.3 JTAG コンフィギュレーションの手順	21
3.5 SSPI コンフィギュレーション・モード	34
3.5.1 SSPI コンフィギュレーション・モードの接続図	34
3.5.2 SSPI コンフィギュレーション・モードのタイミング図	36
3.5.3 SSPI の一般的なコンフィギュレーション命令	37
3.5.4 SSPI モードでの SRAM コンフィギュレーション	40
3.5.5 SSPI モードでの Flash プログラミング	41
3.5.6 SSPI x4 での SRAM コンフィギュレーション	42
3.6 MSPI コンフィギュレーション・モード	43
3.6.1 MSPI コンフィギュレーション・モードの接続図	43
3.6.2 MSPI コンフィギュレーション・モードのタイミング図	45
3.6.3 MSPI モードでのコンフィギュレーション手順	46
3.7 CPU コンフィギュレーション・モード	47
3.7.1 CPU コンフィギュレーション・モードの接続図	47

3.7.2 コンフィギュレーションのタイミング	48
3.7.3 連続ロード	49
3.7.4 不連続ロード	49
3.8 SERIAL コンフィギュレーション・モード	50
3.8.1 SERIAL コンフィギュレーション・モードの接続図	50
3.9 デイジーチェーン	51
3.9.1 シリアル・デイジーチェーン	51
3.9.2 パラレル・デイジーチェーン	52
4 コンフィギュレーションの詳細.....	54
4.1 コンフィギュレーションの注意事項	54
4.2 コンフィギュレーション手順	56
4.2.1 パワーアップのタイミング	58
4.2.2 初期化	58
4.2.3 コンフィギュレーション	59
4.2.4 ウェイクアップ	59
4.2.5 ユーザーモード	59
4.3 安全上の考慮事項	60
4.4 ビットストリームファイルの構成	61
4.4.1 オプションの設定	62
4.4.2 コンフィギュレーションデータの暗号化	62
4.4.3 コンフィギュレーションファイルのサイズ	71
4.4.4 コンフィギュレーションファイルのロード時間	73
4.5 SPI Flash の選択	74
5 ステータスレジスタと Efuse の定義.....	75
5.1 ステータスレジスタ	75
5.2 OTP Efuse	77
6 MULTI BOOT コンフィギュレーション及びバックグラウンドアップグレード	78
6.1 MULTI BOOT コンフィギュレーションの手順	78
6.2 バックグラウンドアップグレードと Hotboot	79

図一覧

図 3-1 コンフィギュレーション・ピンの多重化	18
図 3-2 マスターモードのコンフィギュレーション・クロックの構造	19
図 3-3 JTAG コンフィギュレーション・モードの接続図	20
図 3-4 JTAG インターフェースを介したオフチップ Flash プログラミングの接続図	20
図 3-5 JTAG コンフィギュレーション・モードのタイミング図	21
図 3-6 TAP 状態機械	22
図 3-7 命令レジスタのアクセスタイミング	23
図 3-8 データレジスタのアクセスタイミング	24
図 3-9 ID Code 読み出しの状態機械フローチャート	25
図 3-10 ID Code 読み出し命令-0x11 のアクセスタイミング	26
図 3-11 ID Code 読み出し際のデータレジスタのアクセスタイミング	26
図 3-12 SRAM コンフィギュレーションのフローチャート	28
図 3-13 SPI Flash プログラミングのフローチャート	29
図 3-14 JTAG で SPI をエミュレートして 0x06 命令を送信するタイミング図(GOWIN Arora V)....	30
図 3-15 SVF モードでの Flash プログラミングのフローチャート	31
図 3-16 OTP コンフィギュレーションのフローチャート	32
図 3-17 OTP データ読み出しフローチャート	33
図 3-18 SSPI コンフィギュレーション・モードの接続図	34
図 3-19 複数 FPGA の接続図	35
図 3-20 SSPI インターフェースを介したオフチップ Flash プログラミングの接続図	35
図 3-21 SSPI コンフィギュレーション・モードのタイミング図	36
図 3-22 ID Code の読み出しのタイミング図	37
図 3-23 Write Enable(0x15)のタイミング図	38
図 3-24 Write Disable (0x3A00)のタイミング図	38
図 3-25 Write Data(0x3B)のタイミング図	39
図 3-26 SSPI モードでの SRAM コンフィギュレーションのフローチャート	40
図 3-27 SSPI を介した Flash プログラミングのフローチャート	41
図 3-28 QSSPI モードでの SRAM コンフィギュレーションのフローチャート	42
図 3-29 QSSPI Write Data (0x6B) のタイミング図	43

図 3-30 MSPIx1 コンフィギュレーション・モードの接続図	43
図 3-31 MSPIx2 コンフィギュレーション・モードの接続図	44
図 3-32 MSPIx4 コンフィギュレーション・モードの接続図	44
図 3-33 MSPI コンフィギュレーション・モードのタイミング図	45
図 3-34 MSPI モードでのコンフィギュレーションのフローチャート	46
図 3-35 CPU コンフィギュレーション・モードの接続図	47
図 3-36 CPU コンフィギュレーション・モードのタイミング図	48
図 3-37 連続ロードのタイミング図	49
図 3-38 不連続ロードのタイミング図	49
図 3-39 SERIAL コンフィギュレーション・モードの接続図	50
図 3-40 SERIAL コンフィギュレーション・モードのタイミング図	51
図 3-41 シリアル・デイジーチェーンの接続図	52
図 3-42 パラレル・デイジーチェーンの接続図	53
図 4-1 パワーアップの説明図	54
図 4-2 再パワーアップのタイミング図	56
図 4-3Low パルスで RECONFIG_N をトリガするタイミング図	56
図 4-4 Gowin FPGA のコンフィギュレーションのフローチャート	57
図 4-5 パワーアップのタイミング図	58
図 4-6 オプションの設定	62
図 4-7 暗号化キーの設定方法	64
図 4-8 復号化キーの設定方法	65
図 4-9 AES プログラミングのダイアログ	66
図 4-10 準備	67
図 4-11 AES Key の読み出しのフローチャート	68
図 4-12 AES Key のプログラミングのフローチャート	69
図 4-13 AES Key2 のプログラミングのフローチャート	70
図 4-14 AES Key のロックのフローチャート	71
図 4-15 ビットストリーム形式の生成	72
図 4-16 パワーアップの説明図	73
図 6-1MULTI BOOT コンフィギュレーションのフローチャート	79

表一覧

表 1-1 用語、略語	1
表 2-1 用語の説明	5
表 3-1 コンフィギュレーション・モード	8
表 3-2 138K FPGA のコンフィギュレーション・ピン一覧(1 of 2)	10
表 3-3 138K FPGA のコンフィギュレーション・ピン一覧(2 of 2)	11
表 3-4 ピンの定義	12
表 3-5 コンフィギュレーション・ピンの多重化オプション	17
表 3-6 JTAG コンフィギュレーション・モードのタイミングパラメータ	21
表 3-7 Arora V 138K FPGA の ID CODE	24
表 3-8 命令送信中の TDI と TMS 値の変化.....	25
表 3-9 SSPI コンフィギュレーション・モードのタイミングパラメータ	36
表 3-10 コンフィギュレーション命令	37
表 3-11 MSPI コンフィギュレーション・モードのタイミングパラメータ	45
表 3-12 CPU コンフィギュレーション・モードのタイミングパラメータ	48
表 3-13 SERIAL コンフィギュレーション・モードのタイミングパラメータ	51
表 4-1 Arora V FPGA 製品の再パワーアップと RECONFIG_N トリガのタイミングパラメータ	56
表 4-2 各デバイスの POR モジュールが監視する電源レール	58
表 4-3 Arora V FPGA 製品のコンフィギュレーションファイルのサイズ(最大値)	72
表 4-4 MSPI モードでのデータストリーム・ファイルのロード時間.....	73
表 4-5 SPI Flash の操作命令	74
表 5-1 Status Register.....	75
表 5-2 OTP の定義	77

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、主に GOWIN セミコンダクターの Arora V138K FPGA 製品のプログラミング・コンフィギュレーションに関する汎用特性及び機能について説明し、ユーザーが Gowin FPGA 製品を使いこなせるように作成されています。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5AST シリーズ FPGA 製品データシート([DS1104](#))
- GW5AS-138 FPGA 製品データシート([DS1114](#))
- GW5AS-138 デバイス Pinout([UG1107](#))
- GW5AST-138 デバイス Pinout([UG986](#))
- GW5AT-138 デバイス Pinout([UG982](#))
- GW5A-138 デバイス Pinout([UG988](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	説明
Background Programming	Embedded Flash Background Programming	FPGA の動作と I/O ステータスに影響を与えずに、オンチップ Flash のデータストリーム・ファイルを更新することを指します。

用語、略語	正式名称	説明
Bitstream	Bitstream Data	FPGA SRAM をコンフィギュレーションするデータ
Bscan	Boundary Scan	バウンダリスキャン
Configuration	Configuration	FPGA SRAM エリアをコンフィギュレーションするプロセス
Configuration Data	Configuration Data	FPGA SRAM をコンフィギュレーションするデータ
Configuration Mode	Configuration Mode	Configuration Data ソースを決定するコンフィギュレーション・モード
CPU	Central Processing Unit	中央処理装置
CRC	Cyclic Redundancy Check	巡回冗長検査
Edit Mode	Edit Mode	FPGA がコンフィギュレーション・モードまたはプログラミングモードであることを示します
EFash/EmbFlash	Embedded Flash	FPGA のオンチップ Flash
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
FS file	Fuses file	コンフィギュレーションデータを含む ASCII ファイル
GPIO	General Purpose Input Output	Gowin プログラマブル汎用 IO
I2C (I ² C、IIC)	Inter-Integrated Circuit	I2C バス
ID	Identification	ID
IEEE	Institute of Electrical and Electronics Engineers	米国電気電子学会
Internal Flash	Internal Flash	Embedded Flash と同じ
JTAG	Joint Test Action Group	ジョイント・テスト・アクション・グループ
LSB	Least Significant Bit	最下位ビット(優先)
LUT	Look-up Table	ルックアップテーブル
MSB	Most Significant Bit	最上位ビット(優先)
MSPI	Master Serial Peripheral Interface	マスター・シリアル・ペリフェラル・インターフェース
Programming	Programming	Configuration Data をオンチップ Flash またはオフチップ Flash にロードするプロセス
SCL	Serial Clock	I2C クロック
SDA	Serial Data	I2C データ
Security Bit	Security Bit	セキュリティビット(SRAM のリードバックを常に High にする)
SPI	Serial Peripheral Interface	シリアル・ペリフェラル・インターフェース

用語、略語	正式名称	説明
SRAM	Static Random Access Memory	スタティック RAM
SSPI	Slave Serial Peripheral Interface	スレーブ・シリアル・ペリフェラル・インターフェース
TAP	Test Access Port	テストアクセスポート
User Mode	User Mode	FPGA がプログラミング/コンフィギュレーションの後にロジック機能を実行するモード

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 用語の説明

本章は、主に **GOWIN** セミコンダクター **Arora V FPGA** 製品のプログラミング・コンフィギュレーションでよく使用される一般的な用語について説明します。

表 2-1 用語の説明

用語	意味
プログラミング (Program)	Gowinソフトウェアが生成したビットストリームデータを、FPGAのオンチップFlashまたはFPGAと接続するオフチップSPI Flashに書き込むプロセスです。
コンフィギュレーション (Configure)	Gowinソフトウェアが生成したビットストリームデータを、オフチップFlashまたはオンチップFlashから、FPGAのSRAMにロードするプロセスです。
MODE[2:0]	GowinCONFIGに関する3つのMODEピンの値を表します。
MSPIコンフィギュレーション	FPGAがマスター (master) として、SPIインターフェースを介してオフチップFlashからコンフィギュレーションデータを読み出してコンフィギュレーションを行うプロセスです。
SSPIコンフィギュレーション	FPGAはスレーブ(slave)として動作し、外部マスターはSPIインターフェースを介してビットストリームデータを書き込んでコンフィギュレーションします。
SERIALコンフィギュレーション	FPGAはスレーブ(slave)として動作し、外部マスターはシリアルインターフェースを介してビットストリームデータを書き込んでコンフィギュレーションします。
CPUコンフィギュレーション	FPGAはスレーブ(slave)として動作し、外部マスターはパラレルインターフェース(データ幅は8ビット)を介してビットストリームデータを書き込んでコンフィギュレーションします。
MULTI BOOTコンフィギュレーション	MSPIコンフィギュレーション・モードの派生概念で、FPGAがオフチップFlashの異なるアドレスからビットストリームデータを読み出してコンフィギュレーションすることを指します。ユーザーが前のビットストリームデータに次のコンフィギュレーション用ビットストリームデータのロードアドレスを書き込み、パワーダウンしないままRECONFIG_Nをトリガしてデータストリーム・ファイルを切り換えてコンフィギュレーションします。MSPIモードをサポートするFPGA製品はすべてこのモードをサポートします。
リモートアップグレー	ユーザーのアプリケーションシナリオの1つです。つまりFPGAが動作を

用語	意味
ド	開始した後、アップグレードしたい場合、まずリモート操作でビットストリームデータをオフチップFlashに書き込み、そしてRECONFIG_Nをトリガするかまたは再パワーアップすることでFPGAがオフチップFlashからデータを読み出してコンフィギュレーションするようにします。
デイジーチェーン	FPGAデバイスを直列に接続する方法。接続順にチェーンの先頭からデバイスをコンフィギュレーションでき、データは隣接デバイス間でのみ転送できます。
ユーザーモード(User Mode)	FPGAのコンフィギュレーションが完了した後、制御がユーザーに渡されることを指します。コンフィギュレーション・ピンを通常のI/Oに多重化する設定は、ユーザーモードでのみ有効です。
編集モード(Edit Mode)	デバイスをプログラム・コンフィギュレーションできるモードです。編集モードでは、コンフィギュレーション・ピンは通常のI/Oとして使用できず、通常のピンの出力はハイインピーダンスとなります（バックグラウンドアップグレードの場合を除く）。
ID CODE	GOWINセミコンダクターFPGAデバイスのID標識です。各シリーズのデバイスには個別の番号があります。
USER CODE	ユーザーが使用しているFPGAデバイスのユーザーIDであり、Gowinプログラミングソフトウェアを介してデバイスに書き込むことができます。最大32ビットのUSER CODEがサポートされます。
セキュリティビット (Security Bit)	GOWINセミコンダクターがFPGA製品のコンフィギュレーションデータを保護するために設計したものです。ユーザーがデバイスのSRAMにセキュリティビット設定済みのビットストリームデータを書き込んだ後は、だれもデータをリードバックできません。デフォルトでは、GowinソフトウェアはすべてのFPGA製品のビットストリームデータにセキュリティビットを設定しています。
暗号化(Encryption)	AroraファミリーのFPGA製品でサポートされる機能です。暗号化されたビットストリームがFPGAに書き込まれると、デバイスはそれを事前に保存されているキーと照合し、照合が成功すると復号化してデバイスを起動します。

3 コンフィギュレーション・インターフェース

3.1 コンフィギュレーション・モード

Arora V 138K FPGA 製品は 4 つのコンフィギュレーション・インターフェースをサポートしています。各コンフィギュレーション・インターフェースは 1 つ以上のコンフィギュレーション・モードとバス幅をサポートしています (表 3-1)。

表 3-1 コンフィギュレーション・モード

コンフィギュレーション・モード	MODE[2:0] ^[1]	バス幅	説明
Master SERIAL	000	x1	FPGA が Master として、DIN インターフェースを介して外部からコンフィギュレーションデータを読み出して、コンフィギュレーションを行います
MSPI ^[2]	001	x1,x2,x4	FPGA が Master として、SPI インターフェースを介してオフチップ Flash(またはその他デバイス)からコンフィギュレーションデータを読み出して、コンフィギュレーションを行います
SSPI ^{[2][3]}	010	x1,x4	外部 Host が SPI インターフェースを介して、Arora V FPGA 製品をコンフィギュレーションします
Master CPU	100	x8,x16,x32	FPGA が Master として、DBUS インターフェースを介して外部からコンフィギュレーションデータを読み出して、コンフィギュレーションを行います
JTAG	XXX/101 ^[4]		外部 Host が JTAG インターフェースを介して、Arora V シリーズ FPGA 製品をコンフィギュレーションします
Slave CPU	110	x8,x16,x32	外部 Host が DBUS インターフェースを介して、Arora V シリーズ FPGA 製品をコンフィギュレーションします
Slave SERIAL	111	x1	外部 Host が DIN インターフェースを介して、Arora V シリーズ FPGA 製品をコンフィギュレーションします

注記：

- [1] MODE ピンが完全にボンディングされていない場合、PINOUT マニュアルで MODE ピンの状態を確認する必要があります。
- [2] SSPI および MSPI モードの SPI インターフェースは互いに独立しています。
- [3] Arora V 138K FPGA 製品がコンフィギュレーションデータが正常にロードされた後に自動的に SSPI モードになるので、SSPI モードを使用しない場合は、CLKHOLD_N におけるプルダウン抵抗または SSPI_CS_N におけるプルアップ抵抗が必要となります。
- [4] JTAG コンフィギュレーション・モードは MODE[2:0] の値とは関係なく、常に有効です。MODE 値が 101 の場合は、JTAG インターフェースのみが有効となります。

3.2 コンフィギュレーション・ピン

Arora V FPGA 製品のプログラミング・コンフィギュレーションに関連するピンは、必要に応じてコンフィギュレーション用または通常の I/O に設定することができます。さらに、ユーザーは必要に応じてコンフィギュレーション・ピンを利用して特別な機能を実現することもできます。表 3-2 および表 3-3 には、138K デバイスのすべてのコンフィギュレーション関連ピンが示されています。

注記：

コンフィギュレーション IO を多重化する場合、一部のコンフィギュレーション IO は、パワーアップおよびコンフィギュレーションの際に特定の状態である必要があり、そうでなければデバイスが正しくロードされない可能性があります。GPIO の数が十分な場合、コンフィギュレーション IO を多重化することは推奨されません。

表 3-2 138K FPGA のコンフィギュレーション・ピン一覧(1 of 2)

ピン名	Bank	JTAG (Only)	Slave Serial	Master Serial	Master SPI			Slave SPI
					x1	x2	x4	x1
CFGBVS	10	Yes	Yes	Yes	Yes	Yes	Yes	Yes
MODE[2:0]	10	M[2:0]=101	M[2:0]=111	M[2:0]=000	M[2:0]=001	M[2:0]=001	M[2:0]=001	M[2:0]=010
RECONFIG_N	10	Yes	Yes	Yes	Yes	Yes	Yes	Yes
READY	10	Yes	Yes	Yes	Yes	Yes	Yes	Yes
DONE	10	Yes	Yes	Yes	Yes	Yes	Yes	Yes
TCK	10	TCK	TCK	TCK	TCK	TCK	TCK	TCK
TMS	10	TMS	TMS	TMS	TMS	TMS	TMS	TMS
TDI	10	TDI	TDI	TDI	TDI	TDI	TDI	TDI
TDO	10	TDO	TDO	TDO	TDO	TDO	TDO	TDO
CCLK	10	-	CCLK	CCLK	CCLK	CCLK	CCLK	-
CFGUP	11	Yes	Yes	Yes	Yes	Yes	Yes	Yes
PUDC_B	3/4 ^[1]	Yes	Yes	Yes	Yes	Yes	Yes	Yes
EMCCLK	3/4	-	-	EMCCLK	EMCCLK	EMCCLK	EMCCLK	-
CSI_B	3/4	-	-	-	-	-	-	-
DOUT_CSO_B	3/4	-	DOUT	DOUT	-	-	-	-
RDWR_B	3/4	-	-	-	-	-	-	-
MCSN	3/4	-	-	-	MCSN	MCSN	MCSN	-
D00_MOSI	3/4	-	-	-	MOSI	MOSI/D00	MOSI/D00	-
D01_DIN	3/4	-	DIN	DIN	D01	D01	D01	-
D02	3/4	-	-	-	-	-	D02	-
D03	3/4	-	-	-	-	-	D03	-
SSPI_CS_N	3/4	-	-	-	-	-	-	SSPI_CS_N
D05_SI	3/4	-	-	-	-	-	-	SI
D06_SSPI_CLK	3/4	-	-	-	-	-	-	SSPI_CLK
D07_SSPI_WPN	3/4	-	-	-	-	-	-	SSPI_WPN
D08_SO	3/4	-	-	-	-	-	-	SO
CLKHOLD_N	3/4	-	-	-	-	-	-	CLKHOLD_N
D04	3/4	-	-	-	-	-	-	-
D[09-15]	3/4	-	-	-	-	-	-	-
D[16-31]	3/4	-	-	-	-	-	-	-

注記：

^[1] Wirebond パッケージでは **BANK4** に、その他のパッケージでは **BANK3** に配置されています。詳細は **PINOUT** マニュアルを参照してください。

表 3-3 138K FPGA のコンフィギュレーション・ピン一覧(2 of 2)

ピン名	Bank	Master CPU			Slave CPU			Slave SPI
		X8	X16	x1	X8	X16	X32	X4 ^[1]
CFGBVS	10	Yes	Yes	Yes	Yes	Yes	Yes	Yes
MODE[2:0]	10	M[2:0]=100	M[2:0]=100	M[2:0]=100	M[2:0]=110	M[2:0]=110	M[2:0]=110	M[2:0]=010
RECONFIG_N	10	Yes	Yes	Yes	Yes	Yes	Yes	Yes
READY	10	Yes	Yes	Yes	Yes	Yes	Yes	Yes
DONE	10	Yes	Yes	Yes	Yes	Yes	Yes	Yes
TCK	10	TCK	TCK	TCK	TCK	TCK	TCK	TCK
TMS	10	TMS	TMS	TMS	TMS	TMS	TMS	TMS
TDI	10	TDI	TDI	TDI	TDI	TDI	TDI	TDI
TDO	10	TDO	TDO	TDO	TDO	TDO	TDO	TDO
CCLK	10	CCLK	CCLK	CCLK	CCLK	CCLK	CCLK	-
CFGUP	11	Yes	Yes	Yes	Yes	Yes	Yes	Yes
PUDC_B	3/4	Yes	Yes	Yes	Yes	Yes	Yes	Yes
EMCCLK	3/4	EMCCLK	EMCCLK	EMCCLK	-	-	-	-
CSI_B	3/4	CSI_B	CSI_B	CSI_B	CSI_B	CSI_B	CSI_B	-
DOUT_CSO_B	3/4	CSO_B	CSO_B	CSO_B	CSO_B	CSO_B	CSO_B	-
RDWR_B	3/4	RDWR_B	RDWR_B	RDWR_B	RDWR_B	RDWR_B	RDWR_B	-
MCSN	3/4	-	-	-	-	-	-	-
D00_MOSI	3/4	D00	D00	D00	D00	D00	D00	-
D01_DIN	3/4	D01	D01	D01	D01	D01	D01	-
D02	3/4	D02	D02	D02	D02	D02	D02	-
D03	3/4	D03	D03	D03	D03	D03	D03	-
SSPI_CS_N	3/4	-	-	-	-	-	-	SSPI_CS_N
D05_SI	3/4	D05	D05	D05	D05	D05	D05	SSPI_IO0
D06_SSPI_CLK	3/4	D06	D06	D06	D06	D06	D06	SSPI_CLK
D07_SSPI_WPN	3/4	D07	D07	D07	D07	D07	D07	SSPI_IO2
D08_SO	3/4	-	D08	D08	D08	D08	D08	SSPI_IO1
CLKHOLD_N	3/4	-	-	-	-	-	-	SSPI_IO3
D04	3/4	-	D04	D04	D04	D04	D04	-
D[09-15]	3/4	-	D[09-15]	D[09-15]	-	D[09-15]	D[09-15]	-
D[16-31]	3/4	-	-	D[16-31]	-	-	D[16-31]	-

注記：

^[1]Slave SPI x4 モードはデータのリードバックをサポートしません。

コンフィギュレーションに関連するピンは表 3-4 に示すとおりです。

表 3-4 ピンの定義

ピン名	機能の説明
CFGBVS	<p>Config Bank 電圧選択信号。</p> <p>コンフィギュレーション・ピンとして使用される場合、入力ピンです。コンフィギュレーション関連 Bank^[1]の VCCIO の供給に応じて設定します。</p> <p>VCCIO > 1.8V の場合、CFGBVS は 1(VCCIO10)に接続し、VCCIO ≤ 1.8V の場合、CFGBVS は GND に接続する必要があります。</p> <p>注記：</p> <p>コンフィギュレーション関連 Bank は、GW5AT-138/GW5AST-138 の Bank10、FlipChip パッケージの Bank3、WireBond パッケージの Bank4 で、詳細は各 Pinout マニュアルを参照してください。</p>
MODE	<p>コンフィギュレーション・モード選択信号</p> <p>コンフィギュレーション・ピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。最大幅は 3 ビットです。</p> <p>FPGA に電源が投入されるか、または Low パルスで RECONFIG_N がトリガされると、デバイスは MODE 値に従って対応するコンフィギュレーション・モードに入ります。GOWIN セミコンダクターの各 FPGA 製品シリーズの MODE 値に対応するコンフィギュレーション・モードは多少異なります。パッケージによっては、MODE ピンが完全にボンディングされていないことがあります。ボンディングされていない MODE ピンは、デバイス内で接地されています。詳しくは、対応するデバイスの Pinout マニュアルを参照してください。</p> <p>GPIO として使用される場合、入力または出力に使用できます。</p> <p>注記：</p> <p>MODE 値が変更された場合は、それを有効にするために再パワーアップするか、または Low パルスで RECONFIG_N をトリガする必要があります。</p>
RECONFIG_N	<p>コンフィギュレーション・ピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。RECONFIG_N は、アクティブ Low であり、FPGA の再コンフィギュレーション・トリガという機能を実現します。RECONFIG_N が Low にプルダウンされると、FPGA はコンフィギュレーションできなくなります。FPGA のパワーアップおよびコンフィギュレーション中はこのピンを High に維持する必要があります、コンフィギュレーション後に解放できます。</p> <p>コンフィギュレーション・ピンとして使用される場合、1 つのパルス幅が 25ns 以上の Low レベルで GowinCONFIG コンフィギュレーション・モードを起動し、デバイスが MODE 設定値に従ってビットストリームデータをリロードするようする必要があります。また、ユーザーは、ロジックの設計により、このピンのトリガ条件をカスタマイズできます。ユーザーロジックで制御する場合、パワーアップおよびコンフィギュレーション中にこのピンを High に維持する必要があります。</p> <p>GPIO として多重化される場合は、出力にのみ使用できます。コンフィギュレーションを成功させるには、多重化する場合は RECONFIG_N の初期値を High にし、パワーアップ時に外部から Low にプルダウンしない必要があります。</p>
READY	<p>入出力ピン。内部の弱いプルアップを持つオープンドレイン出力。アクティブ High、つまり High にプルアップされた場合にのみ FPGA はコンフィギュレーションできます。</p> <p>このピンは、現在 FPGA をコンフィギュレーションできるかどうかを示すことができます。コンフィギュレーション条件が満たされた場合、READY 信号が High</p>

ピン名	機能の説明
	<p>になり、パワーアップが完了していない場合、またはリセットが完了していない場合、READY 信号は Low になります。</p> <p>また、READY 信号を外部で Low にすることで、コンフィギュレーションを遅らせることができます。</p> <p>GPIO として使用される場合は、入力または出力に使用できます。入力タイプの GPIO として使用される場合、READY はパワーアップやコンフィギュレーション中に外部回路から Low にプルダウンされないようにする必要があり、そうでないと FPGA を正しくコンフィギュレーションできない場合があります。</p>
DONE	<p>入出力ピン。内部の弱いプルアップを持つオープンドレイン出力。DONE は、FPGA コンフィギュレーションの成功を示す信号で、コンフィギュレーションが成功したら、DONE 信号は High にプルアップされます。</p> <p>コンフィギュレーション・ピンとして使用される際、方向が出力である場合、FPGA のコンフィギュレーションが成功したかどうかを示すことができます。</p> <ul style="list-style-type: none"> ● High レベルの DONE 信号は、デバイスがウェイクアップされて動作状態に入ったことを示します。 ● Low レベルの DONE 信号は、コンフィギュレーションが未完成またはコンフィギュレーションが失敗したことを示します。 <p>DONE 信号を外部で Low にすることで、ウェイクアップを遅らせることができます。</p> <p>RECONFIG_N または READY が Low のままである場合、DONE 信号も Low のままになります。JTAG 回路を使用して SRAM をコンフィギュレーションする場合、DONE 信号を無視してください。</p> <p>GPIO として使用される場合は、入力または出力に使用できます。入力タイプの GPIO として使用される場合、DONE はパワーアップやコンフィギュレーション中に外部回路から Low にプルダウンされないようにする必要があり、そうでないと、コンフィギュレーション後にユーザーモードに入れまくなります。</p>
TCK	<p>コンフィギュレーション・ピンとして使用される場合、入力ピンです。</p> <p>JTAG モードにおけるシリアル・クロック入力ピンです。</p> <p>GPIO として使用される場合は、入力または出力に使用できます。</p> <p>注記：</p> <p>GPIO として使用される場合、JTAG 命令の誤トリガを防ぐため、パワーアップ時およびデバイスのロード時にピンの状態が安定している必要があります。</p>
TMS	<p>コンフィギュレーション・ピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。</p> <p>JTAG モードにおけるシリアルモード入力ピンです。GPIO として使用される場合は、入力または出力に使用できます。</p>
TDI	<p>コンフィギュレーション・ピンとして使用される場合、内部の弱いプルアップを持つ入力ピンです。</p> <p>JTAG モードにおけるシリアル・データ入力ピンです。GPIO として使用される場合は、入力または出力に使用できます。</p>
TDO	<p>コンフィギュレーション・ピンとして使用される場合、出力ピンです。</p> <p>JTAG モードにおけるシリアル・データ出力ピンです。GPIO として使用される場合は、入力または出力に使用できます。</p>
CCLK	<p>コンフィギュレーション・クロック・ピン。JTAG モードと SSPI モード以外のコンフィギュレーション・モードでの同期クロックに使用されます。</p>

ピン名	機能の説明
	<ul style="list-style-type: none"> スレーブモードの場合：CCLK は入力信号で、外部クロックソースに接続されます。 マスターモードの場合：CCLK は出力信号で、コンフィギュレーションのソースクロックとして使用されます。 <p>注記： CCLK は重要なクロック信号であるため、良好なシグナルインテグリティを確保する必要があります。</p>
PUDC_B	<p>コンフィギュレーション・ピンとして使用される場合、入力ピンです。</p> <ul style="list-style-type: none"> PUDC_B が Low の場合、デバイスのコンフィギュレーション中にすべての GPIO の内部プルアップ抵抗が有効になります。 PUDC_B が High の場合、デバイスのコンフィギュレーション中にすべての GPIO の内部プルアップ抵抗が無効になります。 <p>PUDC_B は、VCCO3/4 または GND に、直接接続するか、1kΩ 以上の抵抗を介して接続する必要があります。</p>
EMCCLK	<p>コンフィギュレーション・ピンとして使用される場合、入力ピンです。マスターモードでオプションの外部クロック入力ソース(内部のコンフィギュレーション用オシレータに対して)に使用されます。マスターモードの場合：FPGA はクロックソースとして EMCCLK を選択することができます。</p> <ul style="list-style-type: none"> JTAG およびスレーブモードの場合：EMCCLK は接続しなくていいです。
CSI_B	<p>コンフィギュレーション・ピンとして使用される場合、入力ピンです。CPU モードにおけるチップセレクト信号で、アクティブ Low。</p> <p>マスターCPU モードの場合：GND に、直接するか、1kΩ 以下の抵抗を介して接続します。</p> <ul style="list-style-type: none"> スレーブ CPU モードの場合：CSI_B は、外部コンフィギュレーション・コントローラの制御によりバス上のコンフィギュレーションされるデバイスを選択するか、デジチェーン・コンフィギュレーションで上流の FPGA の CSO_B ピンに接続されます。
CSO_B	<p>コンフィギュレーション・ピンとして使用される場合、出力ピンです。CPU モードにおけるチップセレクト信号で、デジチェーン・コンフィギュレーションで下流 FPGA の CSI_B ピンに接続されます。</p>
DOUT	<p>コンフィギュレーション・ピンとして使用される場合、出力ピンです。DOUT は、デジチェーン・シリアル・コンフィギュレーションの場合のデータ出力です。</p> <ul style="list-style-type: none"> シリアルおよび SPI(x1 のみ) モードの場合：シリアル・デジチェーンで下流 FPGA の DIN ピンに接続され、次のデバイスのデータ入力として使用されます。
RDWR_B	<p>コンフィギュレーション・ピンとして使用される場合、入力ピンです。</p> <p>CPU コンフィギュレーション・モードの読み出し/書き込みイネーブル選択ピン：RDWR_B が High の場合は読み出し、RDWR_B が Low の場合は書き込みです。</p> <p>GPIO として使用される場合は、入力または出力に使用できます。</p>
MCSN	<p>コンフィギュレーション・ピンとして使用される場合、出力ピンです。</p> <p>MSPI モードにおけるチップセレクト信号で、アクティブ Low。</p> <p>GPIO として使用される場合は、入力または出力に使用できます。</p>
MOSI	<p>コンフィギュレーション・ピンとして使用される場合、出力ピンです。オフチップ Flash の SI ピンに接続されます。SPIx2 x4 モードでは双方向になります。</p> <p>MSPI モードにおけるシリアル・データ出力ピンです。</p>

ピン名	機能の説明
	GPIO として使用される場合は、入力または出力に使用できます。
MISO	コンフィギュレーション・ピンとして使用される場合、入力ピンです。オフチップ Flash の SO ピンに接続されます。SPIx2 x4 モードでは双方向になります。 MSPI モードにおけるシリアル・データ入力ピンです。 GPIO として使用される場合は、入力または出力に使用できます。
MI2	コンフィギュレーション・ピンとして使用される場合、出力ピンです。SPIx4 モードでは双方向になります。 MSPI モードにおける書き込み保護ピン：High レベル出力の場合、MSPI の対応する操作が有効で、Low レベル出力の場合、MSPI の対応する操作が無効です。 4.7kΩ の抵抗を介して対応する Bank の VCCIO にプルアップすることができます。 GPIO として使用される場合は、入力または出力に使用できます。
MI3	コンフィギュレーション・ピンとして使用される場合、内部の弱いプルアップを持つ出力ピンです。SPIx4 モードでは双方向になります。 MSPI モードにおけるクロック・ホールド・ピン：アクティブ Low。4.7kΩ の抵抗を介して対応する Bank の VCCIO にプルアップすることができます。 GPIO として使用される場合は、入力または出力に使用できます。
DIN	コンフィギュレーション・ピンとして使用される場合、入力ピンです。DIN はシリアル・データ入力ピンです。 <ul style="list-style-type: none"> • Serial モードおよび MSPI モードの場合：DIN はデータソースからシリアル・データを受信します。デフォルトではデータは CCLK の立ち上がりエッジでサンプリングされます。 • CPU モードの場合：DIN ピンは多機能ピンで、D01 データピンとして使用されます。GPIO として使用される場合は、入力または出力に使用できます。
D0~D31	入出力ピン。 <ul style="list-style-type: none"> • CPU モードの場合：データ入出力ピンとして使用されます。デバイスは、x8、x16、x32 のバス幅に適応的に調整します。 • GPIO として使用される場合は、入力または出力に使用できます。
SSPI_CS_N	コンフィギュレーション・ピンとして使用される場合、入力ピンです。4.7kΩ の抵抗を介して対応する Bank の VCCIO にプルアップすることができます。 SSPI モードにおけるチップセレクト信号で、アクティブ Low。 GPIO として使用される場合は、入力または出力に使用できます。
SSPI_CLK	コンフィギュレーション・ピンとして使用される場合、入力ピンです。 SSPI モードにおけるクロック入力ピンです。 GPIO として使用される場合は、入力または出力に使用できます。
SI	コンフィギュレーション・ピンとして使用される場合、入力ピンです。 SSPI モードにおけるシリアル・データ入力ピンです。 GPIO として使用される場合は、入力または出力に使用できます。
SO	コンフィギュレーション・ピンとして使用される場合、出力ピンです。 SSPI モードにおけるシリアル・データ出力ピンです。 GPIO として使用される場合は、入力または出力に使用できます。
CLKHOLD_N	コンフィギュレーション・ピンとして使用される場合、入力ピンです。4.7kΩ の抵抗を介して対応する Bank の VCCIO にプルアップすることができます、できます。

ピン名	機能の説明
	SSPI モードにおけるクロック・ホールド・ピン : アクティブ Low。 GPIO として使用される場合は、入力または出力に使用できます。
SSPI_WPN	コンフィギュレーション・ピンとして使用される場合、入力ピンです。4.7kΩの抵抗を介して対応する Bank の VCCIO にプルアップすることが、できます。 SSPI モードにおける書き込み保護ピン : High レベル入力の場合、SSPI の対応する操作が有効で、Low レベル入力の場合、SSPI の対応する操作が無効です。 GPIO として使用される場合は、入力または出力に使用できます。

コンフィギュレーション・ピンの多重化

I/O を最大限に利用するために、GOWIN セミコンダクターFPGA 製品はコンフィギュレーション・ピンを通常の I/O に設定することをサポートします。すべてのシリーズの FPGA では、パワーアップ後、コンフィギュレーション関連ピンはコンフィギュレーションされるまでデフォルトでコンフィギュレーション・ピンとして使用されます。コンフィギュレーションが成功すると、デバイスはユーザーモードに入り、ユーザーが選択した多重化オプションに従ってピンの機能が再割り当てられます。

注記：

ユーザーがピン多重化オプションを設定するとき、ピンの外部初期接続状態がデバイスのコンフィギュレーションに影響を及ぼさないようにすることが必要です。

コンフィギュレーション・ピンの多重化オプションは表 3-5 に示すとおりです。

表 3-5 コンフィギュレーション・ピンの多重化オプション

名称	オプション	説明
JTAG PORT ^[1]	デフォルトの状態	TMS、TCK、TDI、TDO は、専用のコンフィギュレーション・ピンとして使用されます。
	通常の I/O として設定	TMS、TCK、TDI、TDO は、コンフィギュレーション終了後 GPIO として使用されます。
CPU PORT	デフォルトの状態	CSI_B、CSO_B、RDWR_B、D[0-31]、および CCLK は、専用のコンフィギュレーション・ピンとして使用されます。
	通常の I/O として設定	CSI_B、CSO_B、RDWR_B、D[0-31]、および CCLK は、コンフィギュレーション終了後 GPIO として使用されます。
SSPI PORT	デフォルトの状態	SSPI_CS_N、SSPI_CLK、SI、SO、CLKHOLD_N、および SSPI_WPN は、専用のコンフィギュレーション・ピンとして使用されます。
	通常の I/O として設定	SSPI_CS_N、SSPI_CLK、SI、SO、CLKHOLD_N、および SSPI_WPN は、コンフィギュレーション終了後 GPIO として使用されます。
MSPI PORT	デフォルトの状態	MCSN、MISO、MOSI、D02、D03、および CCLK は、専用のコンフィギュレーション・ピンとして使用されます。
	通常の I/O として設定	MCSN、MISO、MOSI、D02、D03、および CCLK は、コンフィギュレーション終了後 GPIO として使用されます。
SERIAL	デフォルトの状態	DIN、DOUT、および CCLK は、専用のコンフィギュレーション・ピンとして使用されます。
	通常の I/O として設定	DIN、DOUT、および CCLK は、コンフィギュレーション終了後 GPIO として使用されます。
RECONFIG_N	デフォルトの状態	専用のコンフィギュレーション・ピン。
	通常の I/O として設定	コンフィギュレーション終了後 GPIO 出力として使用されます。
READY	デフォルトの状態	専用のコンフィギュレーション・ピン。
	通常の I/O として設定	コンフィギュレーション終了後 GPIO として使用されます。
DONE	デフォルトの状態	専用のコンフィギュレーション・ピン。
	通常の I/O として設定	コンフィギュレーション終了後 GPIO として使用されます。

注記：

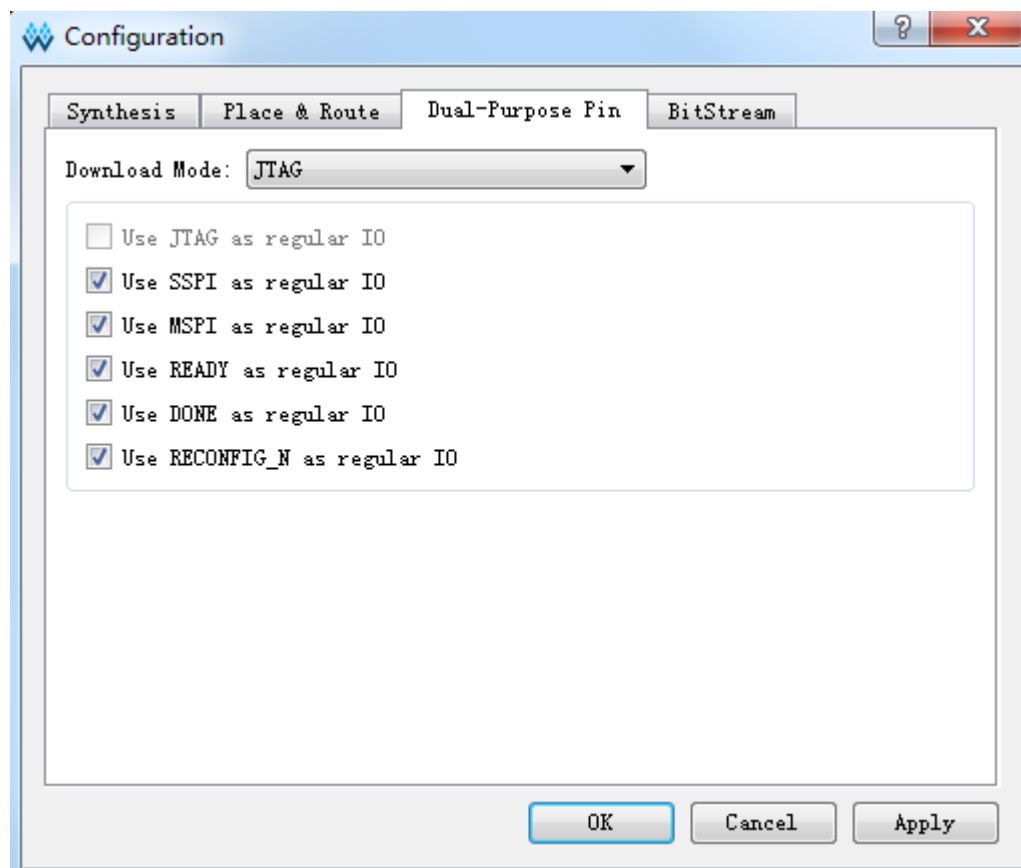
- ^[1] JTAG_SEL_N 信号を内部ロジックで制御することにより、JTAG ピンをコンフィギュレーション IO に戻すことが可能です。
- ^[2] JTAG ピンの多重化の場合、JTAG 命令の誤トリガが正常なロードに影響しないよう、パワーアップ時およびロード時に TCK または TMS の状態が安定していることを確認する必要があります。

Gowin ソフトウェアでのピンの多重化設定

Gowin ソフトウェアでピンの多重化を設定できます。

1. Gowin ソフトウェアでプロジェクトを開きます。
2. メニューバーで、「Project > Configuration > Dual-Purpose Pin」を選択します(図 3-1)。
3. 対応するオプションにチェックを入れてピンの多重化を設定します。

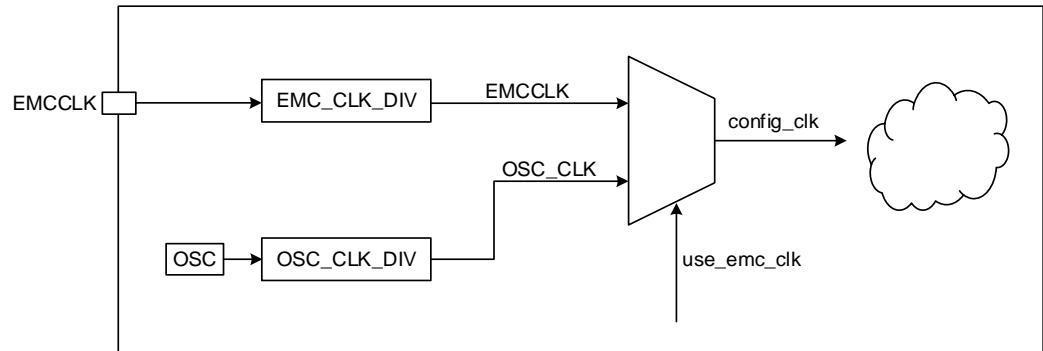
図 3-1 コンフィギュレーション・ピンの多重化



3.3 マスターモードのコンフィギュレーション・クロック

マスターモード（マスターCPUモード、マスター・シリアルモード、マスターSPIモードを含む）のコンフィギュレーション・クロックとしては、オンチップオシレータと外部リファレンス・クロックの2つのソースが使用可能です。デフォルトでは、オンチップオシレータ・クロックがクロックソースとして使用されます。EDAでの`emc_clk`選択命令と`EMC_CLK_DIV`の構成により、複数の分周オプションが利用可能な外部クロックソースをコンフィギュレーションのクロックソースとして使用することもできます。コンフィギュレーション・クロックの構造を次の図に示します。

図 3-2 マスターモードのコンフィギュレーション・クロックの構造



3.4 JTAG コンフィギュレーション・モード

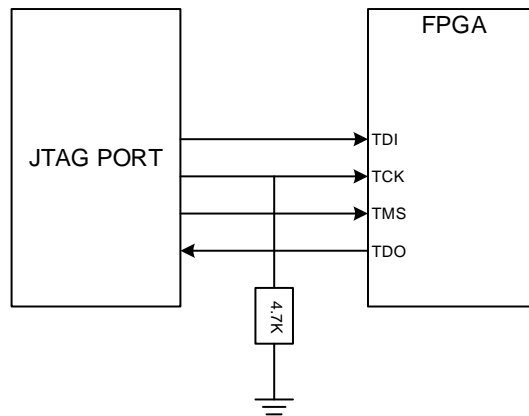
GOWIN セミコンダクターFPGA 製品の JTAG コンフィギュレーション・モードは、IEEE1532 および IEEE1149.1 バウンダリ・スキャン・スタンダードに準拠しています。

JTAG コンフィギュレーション・モードでは、コンフィギュレーションデータは GOWIN セミコンダクターFPGA 製品の SRAM に書き込まれ、パワーオフするとデータは失われます。GOWIN セミコンダクターFPGA 製品はすべて JTAG コンフィギュレーション・モードをサポートしています。

3.4.1 JTAG コンフィギュレーション・モードの接続図

JTAG コンフィギュレーション・モードの接続は図 3-3 に示すとおりです。詳しくは、回路図ユーザーガイドを参照してください。

図 3-3 JTAG コンフィギュレーション・モードの接続図

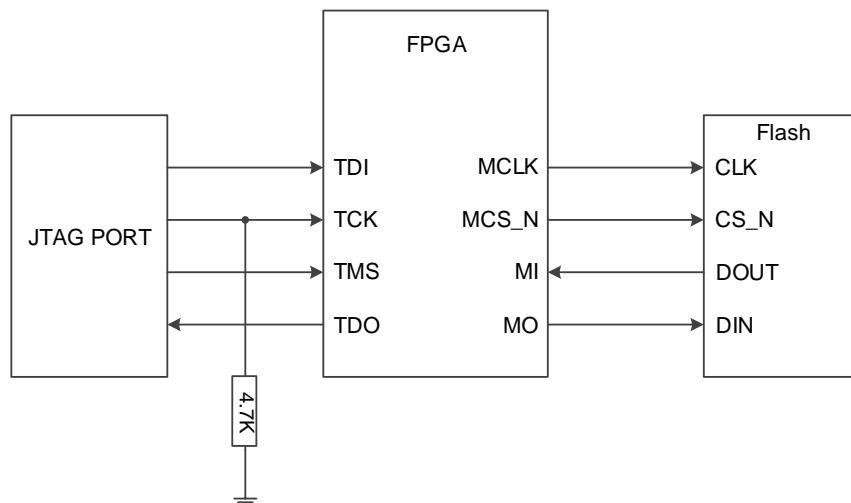


注記：

JTAG コンフィギュレーション・モードのクロック周波数は 100MHz 以下である必要があります。

通常の SRAM コンフィギュレーションに加えて、GOWIN の FPGA 製品の JTAG ピンは、オフチップ SPI Flash のプログラミングにも使用できます。オフチップ SPI Flash のプログラミングについては、図 3-4 を参照してください。

図 3-4 JTAG インターフェースを介したオフチップ Flash プログラミングの接続図



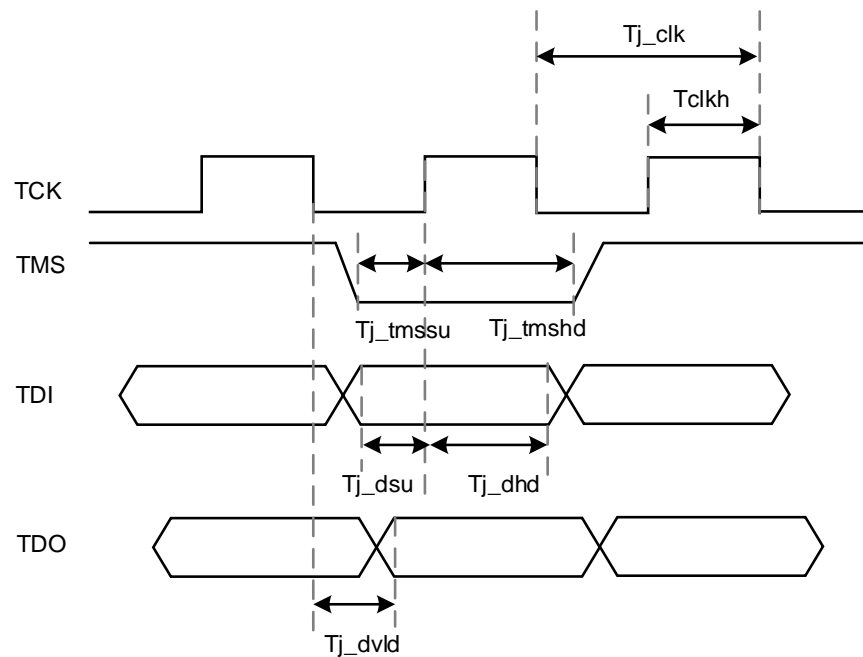
注記：

この図は JTAG インターフェースを介したオフチップ Flash プログラミングの説明図です。

3.4.2 JTAG コンフィギュレーション・モードのタイミング図

JTAG コンフィギュレーション・モードのタイミング図は、図 3-5 に示す通りです。

図 3-5 JTAG コンフィギュレーション・モードのタイミング図



各パラメータの意味は、表 3-6 に示す通りです。

表 3-6 JTAG コンフィギュレーション・モードのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値	単位
T_{j_clk}	JTAG TCK clock period	10	–	ns
T_{j_tmssu}	TMS setup time	3.0	–	ns
T_{j_tmshd}	TMS hold time	0	–	ns
T_{j_dsu}	TDI setup time	3.0	–	ns
T_{j_dhd}	TDI hold time	0	–	ns
T_{j_dvld}	delay of TCK to TDO	–	3.0	ns
T_{clkh}	The time of clock high level	(clock cycle) *45%	(clock cycle) *55%	–

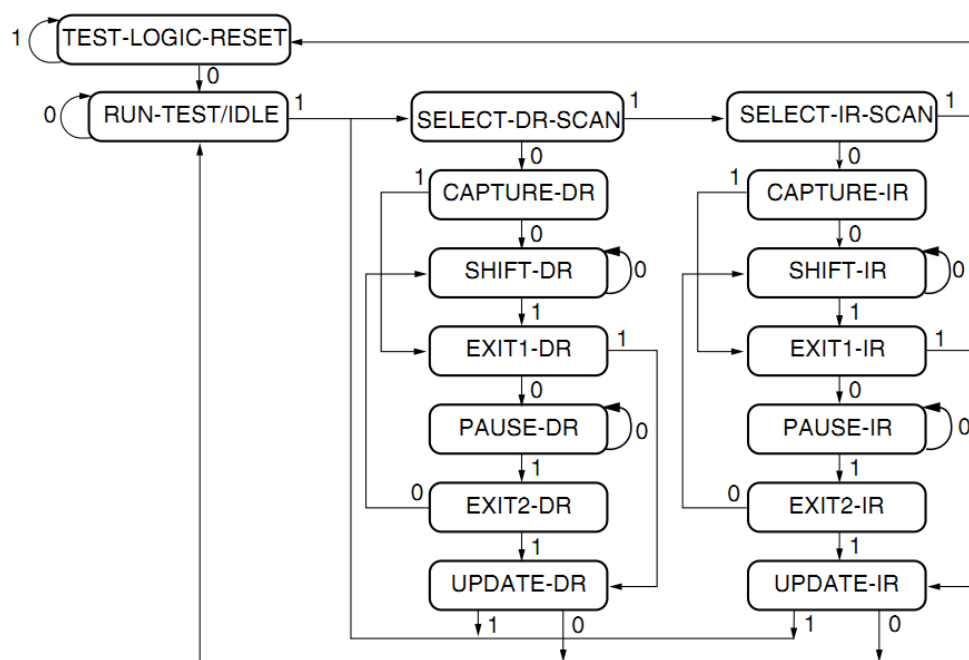
3.4.3 JTAG コンフィギュレーションの手順

JTAG の基本的な命令

TAP 状態機械

テストアクセスポートの状態機械は、命令レジスタまたはデータレジスタを選択し、TDI と TDO の間に接続するために使用されます。通常、命令レジスタはスキャンされるデータレジスタを選択するために使用されます。状態機械のブロック図において、矢印の側に位置する数字は、TCK が High になったときの TMS のロジック状態を示しています。

図 3-6 TAP 状態機械



TAP リセット

TMS を High レベル(ロジック「1」)に保持し、TCK ピンで 5 つ以上のストローブパルス(High になった後 Low になる)を入力した後、TAP ロジックがリセットされます。これによって、他の状態の TAP 状態機械がテストロジックのリセット状態に変換され、JTAG インターフェースとテストロジックがリセットされます。

注記：

この状態では、CPU と周辺機器がリセットされません。

注記：

- Shift_DR または Shift_IR 状態に入った場合、TDO のデータは TCK の立ち下がりエッジから有効になります。
- Shift_DR または Shift_IR 状態に入った場合、データはシフトされません。
- Shift_DR または Shift_IR から出る時、データはシフトされます。
- 最初にシフトアウトされるのは、データの最下位ビット(LSB)です。
- リセットすると、すべての命令はリセットされるか、無効になります。

命令レジスタとデータレジスタ

テストロジックをリセットするほか、状態機械は以下の 2 つの基本操作を制御可能です。

- 命令レジスタ(IR)スキャン
- データレジスタ(DR)のスキャン

命令レジスタのスキャン操作では、Shift-IR 状態の場合、データまたは命令が LSB ファースト順で命令レジスタに送信されます。Run-Test-Idle に戻った後、命令の送信が完了します(図 3-7)。

データレジスタのスキャン操作では、Shift-DR 状態の場合、データまたは命令がデータレジスタに送信されます(図 3-8)。データ転送に LSB と MSB のどちらが使用されるかは、操作に依存します。

図 3-7 命令レジスタのアクセスタイミング

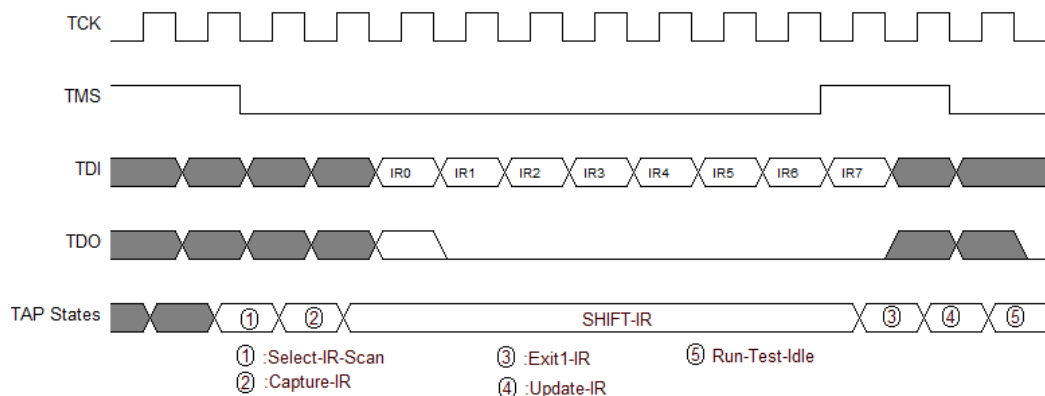
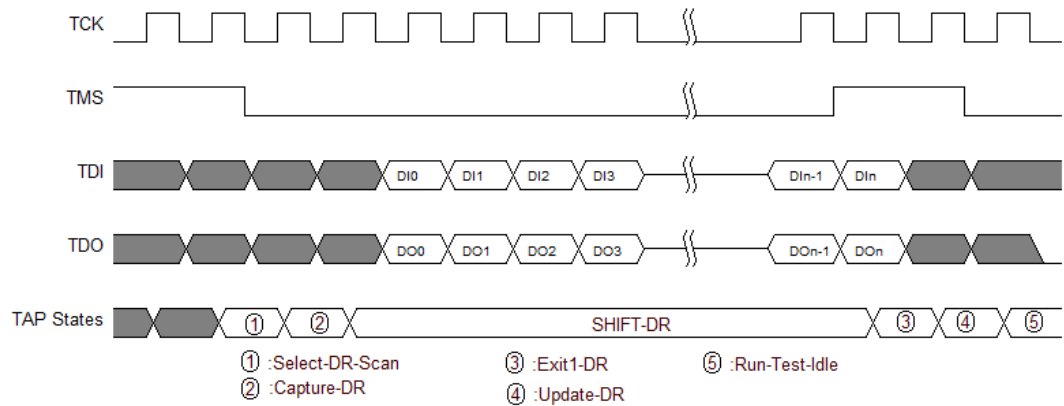


図 3-8 データレジスタのアクセスタイミング



注記：

- GOWIN セミコンダクター Arora V FPGA では、命令レジスタの長さは合計 8 ビットです。
- データレジスタの長さは、選択したレジスタによって異なります。

ID CODE 読み出しの例

ID Code(即ち JEDEC ID Code)は、FPGA デバイスの基本的な識別情報です。

GOWIN FPGA ID Code の長さは 32 ビットで、下表は GOWIN FPGA の ID Code の一部です。

表 3-7 Arora V 138K FPGA の ID CODE

デバイス	IDCODE
GW5A-138	h0001081B
GW5AS-138	h0011081B
GW5AST -138	h0001081B
GW5AT -138	h0011801B

GOWIN FPGA の読み出し命令は 0x11 です。以下は、GW5AT-138 の ID Code を読み出すことを例に、JTAG の動作を説明します。

1. TAP リセット：TMS を High にし、5 クロックサイクル以上連続して送信します。
2. 状態機械を Test-Logic-Reset から Run-Test-Idle に遷移させます。
3. 状態機械を Shift-IR に遷移させ、最下位ビットから Read ID 命令 0x11 を送信し、最上位ビット(最後のビット)が送信されると同時に、状態機械を Exit1-IR に遷移させます。すなわち、最上位ビットの送信前に TMS は High である必要があります。表 3-8 は、8 クロックサイクル期間に 0x11 を送信する過程における TDI と TMS の値の変化を示しています。そのタイミングは図 3-10 に示すとおりです。

表 3-8 命令送信中の TDI と TMS 値の変化

Value \ TCK	TCK 1	TCK 2	TCK 3	TCK 4	TCK 5	TCK 6	TCK 7	TCK 8
TDI value (0x11)	1	0	0	0	1	0	0	0
TMS value	0	0	0	0	0	0	0	1

- 状態機械を遷移させ、Exit1-IR から Update-IR を経由して Run-Test-Idle に戻し、Run-Test-Idle で 3 クロックサイクル以上動作します。
- 状態機械を Shift-DR に遷移させ、32 クロックサイクルを送信し、32 クロックサイクル目の送信前に、TMS を High にします。32 クロックサイクルの完了と同時に Shift-DR から Exit1-DR にジャンプします。32 クロックサイクルが送信されるうちに 32 ビットのデータ (0x0001181B) が読み出されます(図 3-11)。
- 状態機械を Run-Test-Idle に戻します。

図 3-9 ID Code 読み出しの状態機械フローチャート

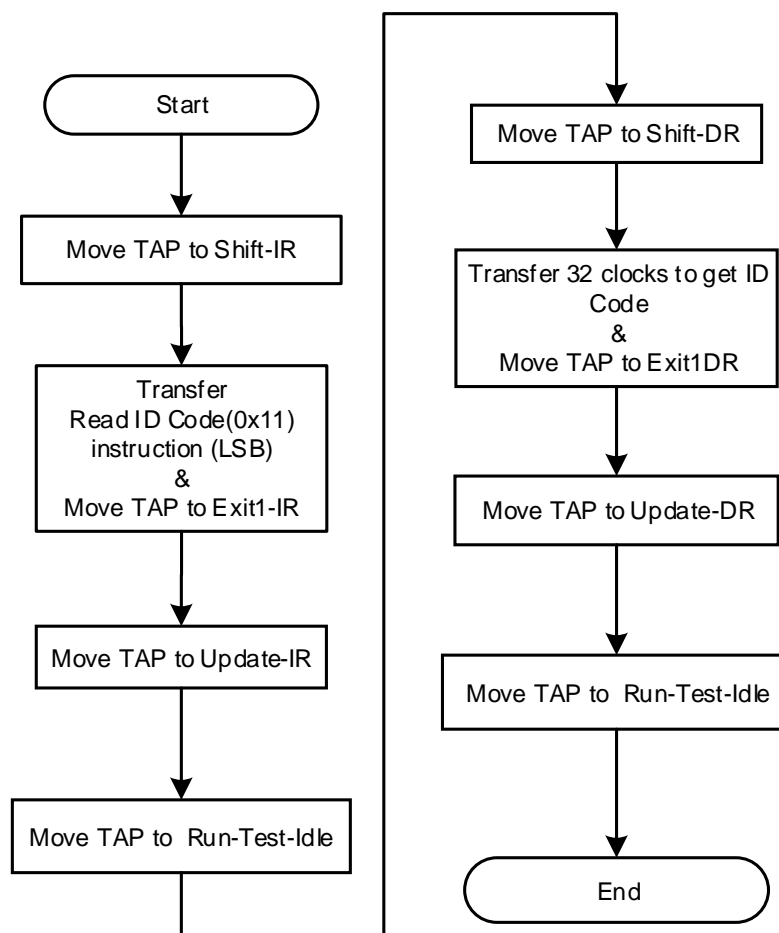


図 3-10 ID Code 読み出し命令-0x11 のアクセスタイミング

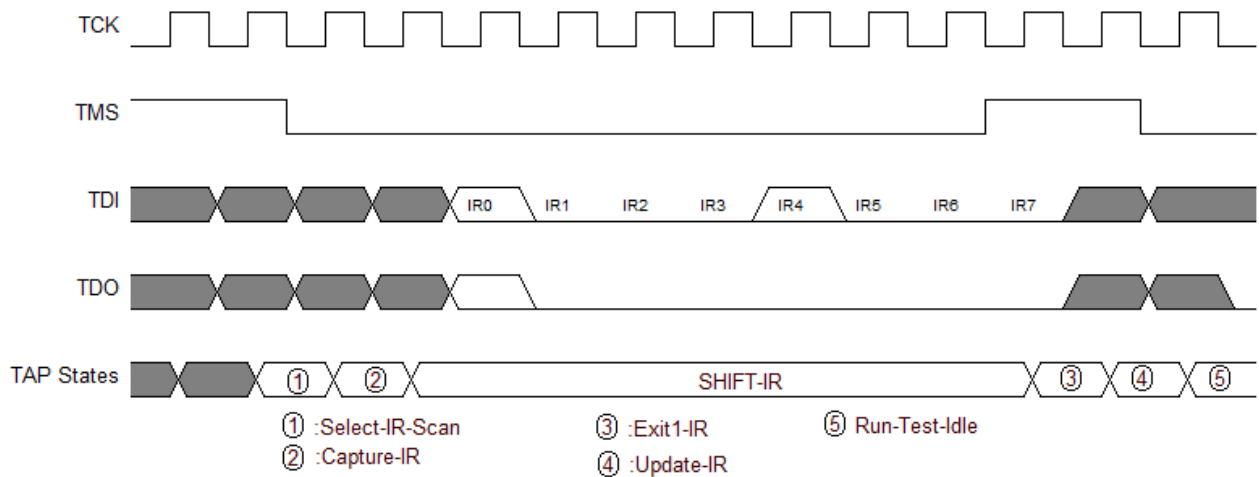
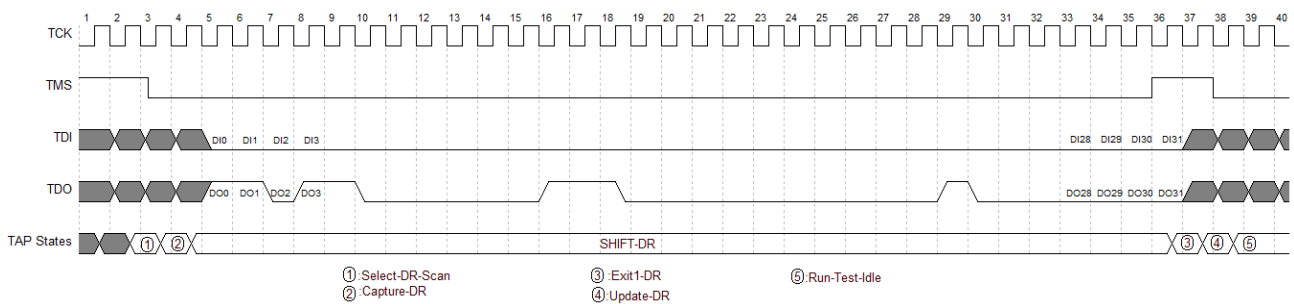


図 3-11 ID Code 読み出し際のデータレジスタのアクセスタイミング



Status Register の読み出し(0x41)

Status Register を読み出すことで、デバイスの状態を予備確認できます。例えば、wakeup の成功、読み込みエラーの有無などを確認できます。

Status Register は合計 32 ビットあり、読み出し命令は 0x41 で、読み出しタイミングは Read ID Code と同様です。

Status Register の意味については、5.1 ステータスレジスタを参照してください。

User Code の読み出し(0x13)

User Code は合計 32 ビットあり、読み出し命令は 0x13 で、読み出しタイミングは Read ID Code と同様です。

User Code はデフォルトで FS ファイルの checksum 値であり、Gowin Designer で再定義できます。

リロード(0x3C)

この命令の役割は、FPGA が Flash からデータストリーム・ファイルを読み出し、SRAM にロードするようにすることです。

JTAG で順に Reprogram(0x3C)命令、Noop(0x02)命令を送信することで、デバイスをリロードさせることができます。その効果は、

Reconfig_N ピンのトリガと同じです。

SRAM の消去

SRAM を再コンフィギュレーションする場合、既存の SRAM を消去する必要があります。その手順は次のとおりです：

1. ConfigEnable 命令 0x15 を送信します。
2. SRAM Erase 命令 0x05 を送信します。
3. Noop 命令 0x02 を送信します。
4. 遅延するか、または Run Test 2~10ms。
5. SRAM Erase Done 命令 0x09 を送信します。
6. ConfigDisble 命令 0x3A を送信します。
7. Noop 命令 0x02 を送信し、手順が終了します。

注記：

EraseSram(0x05)命令、Noop(0x02)の送信後、消去完了まで十分な時間が必要です。

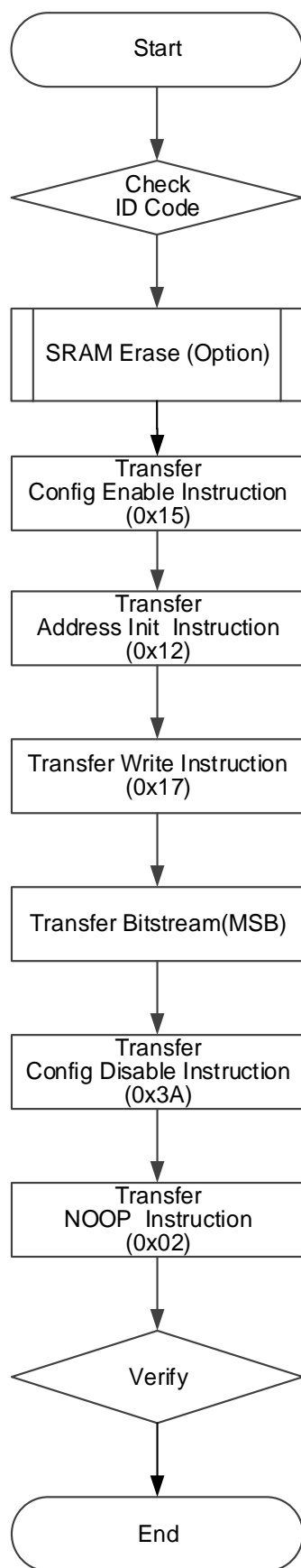
SRAM のコンフィギュレーション

外部 Host で FPGA SRAM をコンフィギュレーションします。JTAG を介した SRAM コンフィギュレーションは Mode ピンの影響を受けません。

Gowin ソフトウェアでデータストリーム・ファイルを生成し、JTAG を介して SRAM のコンフィギュレーションを実行します。以下に外部 Host による SRAM コンフィギュレーションの手順を紹介します(図 3-12)。

1. JTAG リンクを作成し、TAP リセットを実行します。
2. デバイスの ID CODE を読み出し、マッチするかチェックします。
3. SRAM がコンフィギュレーションされた場合、SRAM を消去する必要があります。SRAM の消去を参照してください。
4. ConfigEnable 命令 0x15 を送信します。
5. Address Initialize 命令 0x12 を送信します。
6. Transfer Configuration Data 命令 0x17 を送信します。
8. 状態機械を Shift-DR(データレジスタ)に遷移させ、すべての Bitstream Data を最上位ビット(MSB)から順に送信してから Run-Test-Idle 状態に戻します。
9. ConfigDisble 命令 0x3A を送信します。
7. Noop 命令 0x02 を送信し、コンフィギュレーション手順が終了します。

図 3-12SRAM コンフィギュレーションのフローチャート



Flash のプログラミング

JTAG-SPI 変換を利用したオフチップFlash プログラミング

このモードでは、JTAG で Master SPI のタイミングをエミュレートして、SPI Flash をプログラムすることが可能です。このうち、TMS が CS 信号、TCK が SCLK 信号、TDI が SI 信号、TDO が SO 信号に対応します。このモードでの Flash プログラミングのフローチャートは次のとおりです。

図 3-13 SPI Flash プログラミングのフローチャート

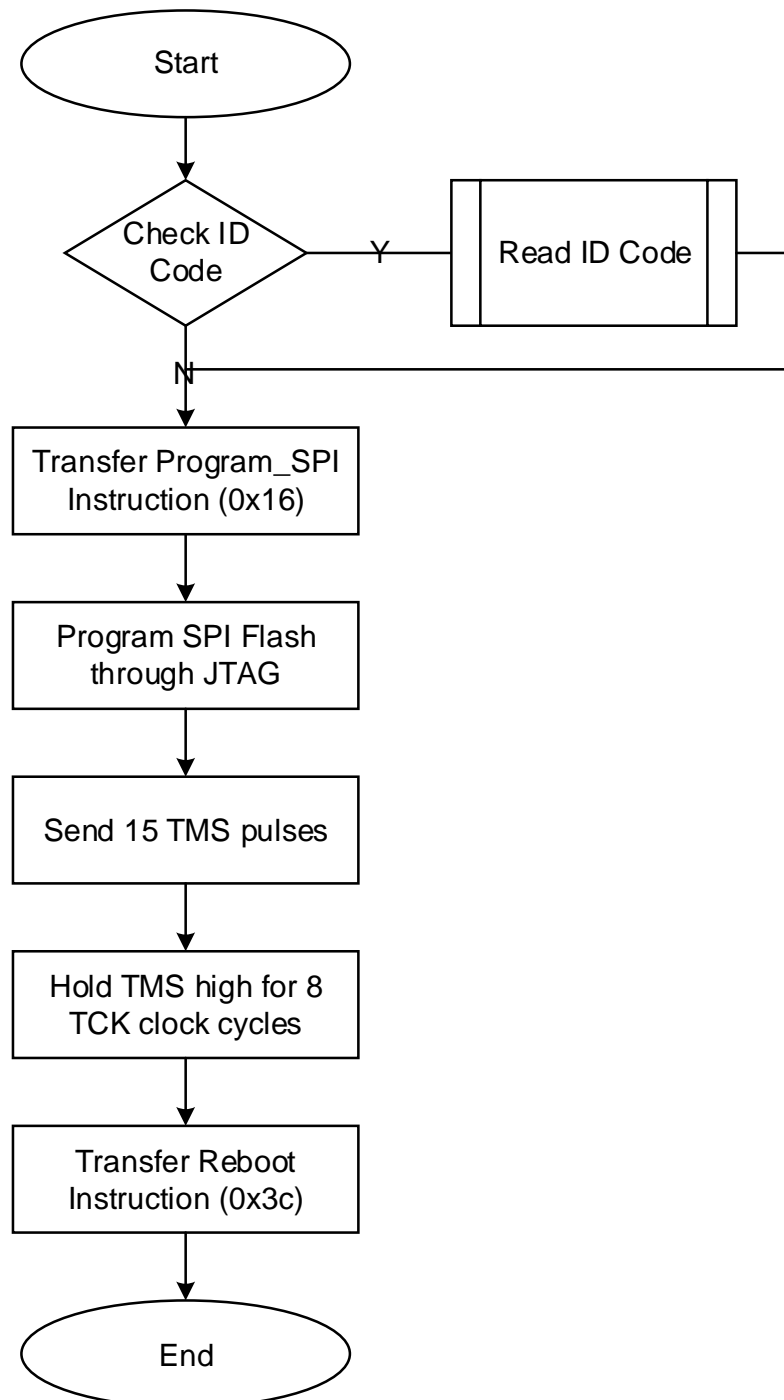
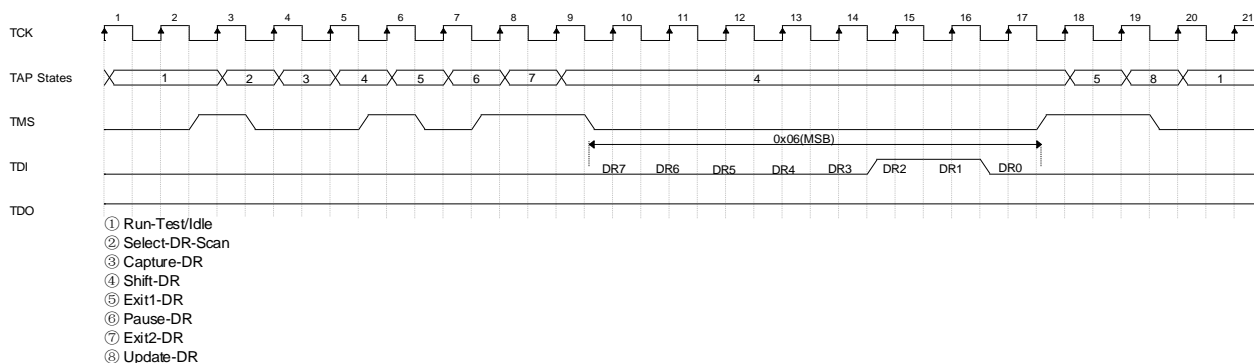


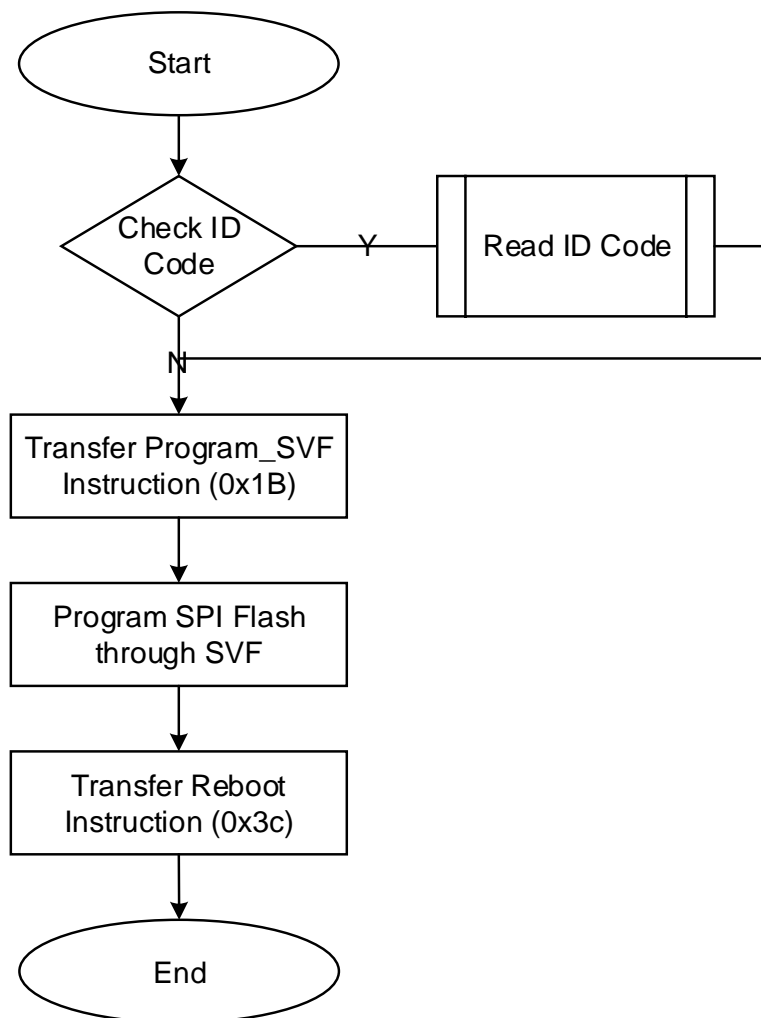
図 3-14 JTAG で SPI をエミュレートして 0x06 命令を送信するタイミング図
(GOWIN Arora V)



SVF でのオフチップ Flash プログラミング

SVF (Serial Vector Format)は、IEEE1149.1 (JTAG) バスの操作を記述する構文仕様です。SVF は、JTAG チェーンの操作をコンパクトかつポータブルな形で記述しています。SVF ファイルは、デバイスチェーンにシフトする必要がある情報を記述して JTAG 操作を記録します。プログラミングツールは、SVF ファイルを入力として、SVF ファイルに含まれる情報で Flash をプログラムします。このモードでの Flash プログラミングのフローチャートは次のとおりです。

図 3-15 SVF モードでの Flash プログラミングのフローチャート



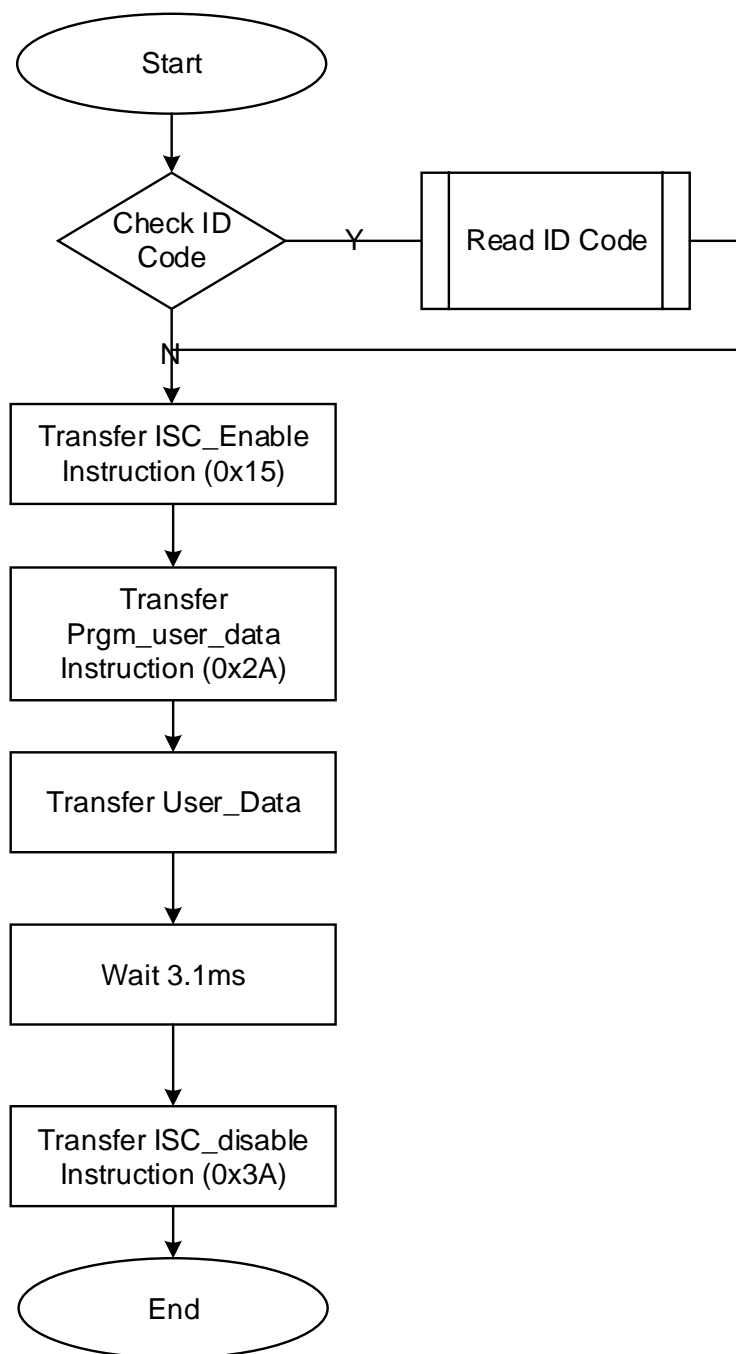
OTP のコンフィギュレーション

Arora V FPGA 製品は、ワンタイム・プログラミングをサポートする 128 ビット OTP スペースを提供します。その中で、Bit0～Bit31 はユーザー領域であり、メーカーはこの領域を使用してセキュリティ情報やその他の重要な情報を保存できます。Bit32～Bit95 は DNA 領域で、デバイスの 64 ビットの一意の識別情報が格納されます。

OTP の定義については、5.2 OTP Efuse を参照してください。

そのコンフィギュレーション手順を下図に示します。

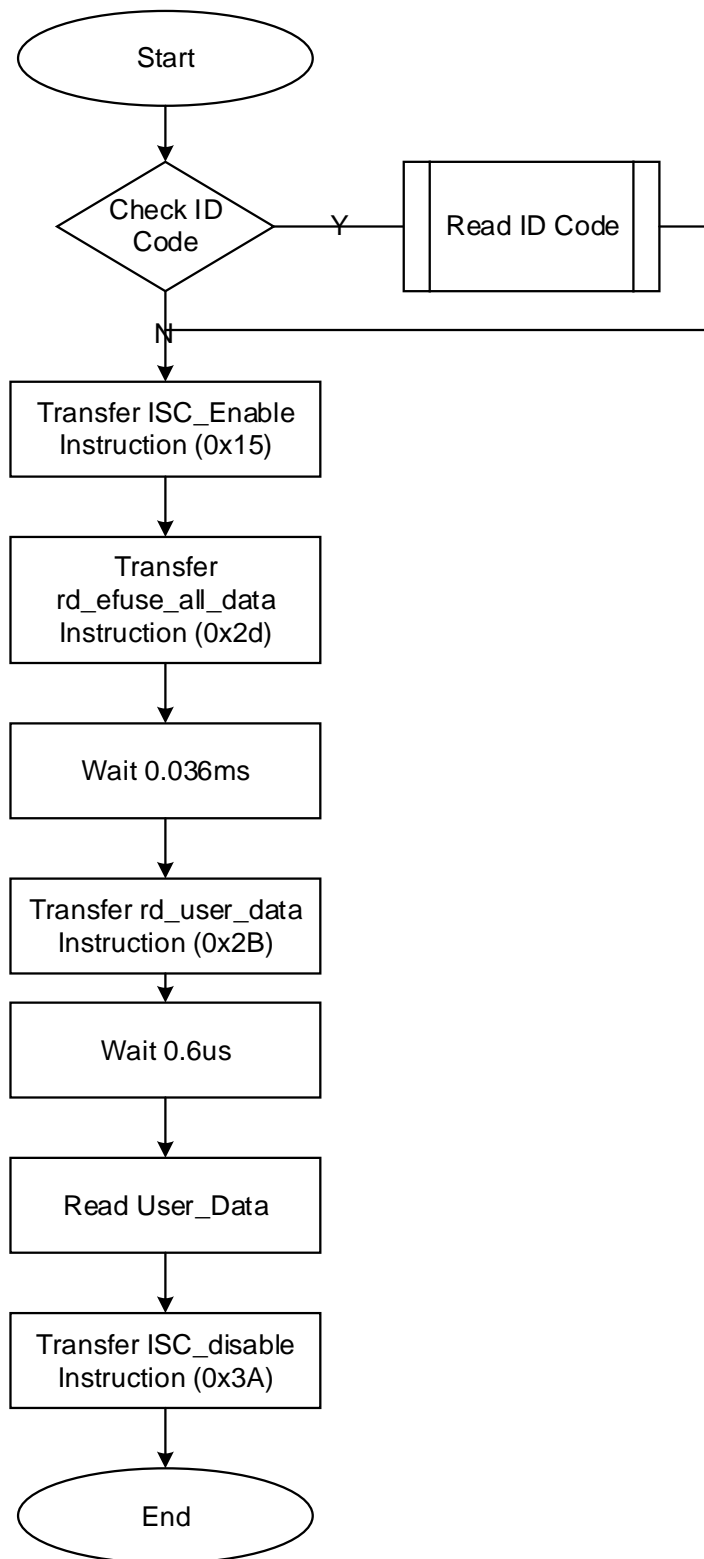
図 3-16 OTP コンフィギュレーションのフローチャート



OTP の読み出し

OTP データを読み出す手順は次のとおりです。

図 3-17OTP データ読み出しフローチャート



ルーチンファイル

ルーチンファイルについては、当社のテクニカル・サポートにお問い合わせ

合わせください。

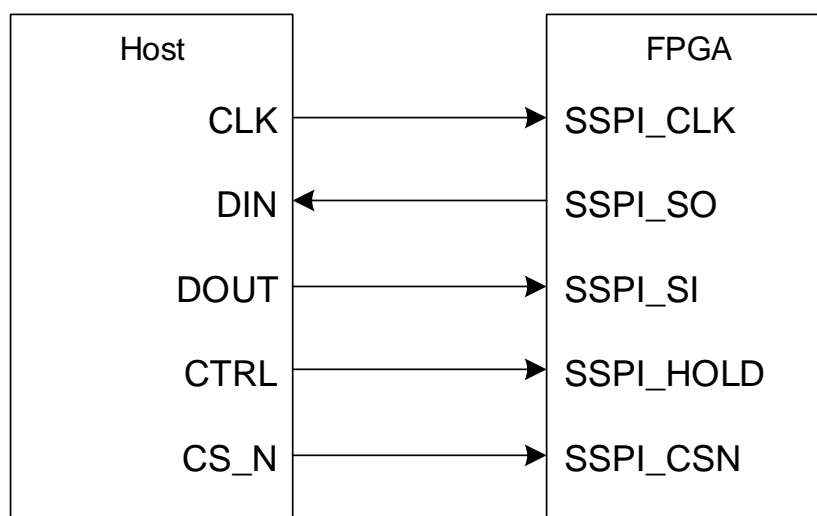
3.5 SSPI コンフィギュレーション・モード

SSPI(Slave SPI)では、FPGA はスレーブデバイスとして動作し、外部 Host は SPI インターフェースを介して GOWIN セミコンダクター FPGA 製品をコンフィギュレーションします。

3.5.1 SSPI コンフィギュレーション・モードの接続図

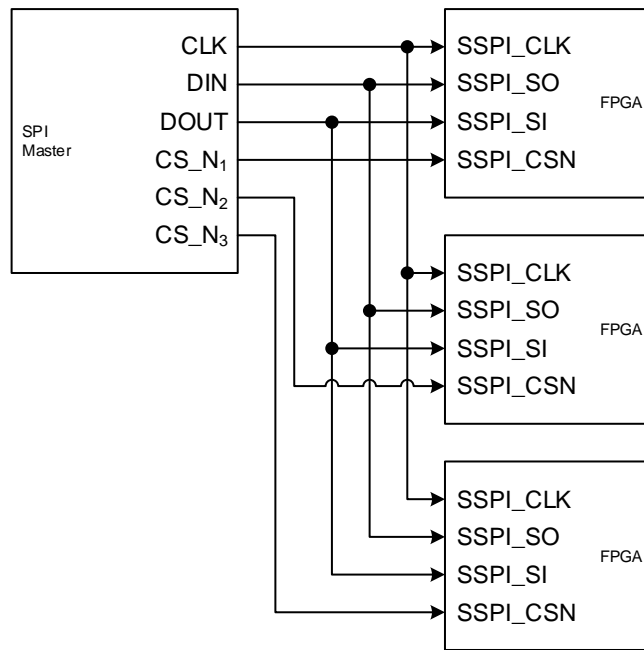
SSPI コンフィギュレーション・モードを利用した GOWIN セミコンダクターFPGA 製品のコンフィギュレーションの接続図は図 3-18 に示すとおりです。

図 3-18 SSPI コンフィギュレーション・モードの接続図



SSPI コンフィギュレーション・モードでの複数 FPGA 製品のコンフィギュレーションの接続図は図 3-19 に示すとおりです。

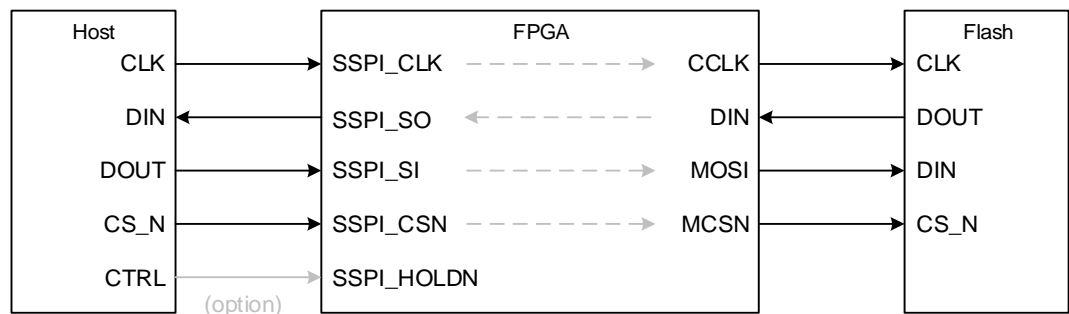
図 3-19 複数 FPGA の接続図



通常の **SRAM** コンフィギュレーション操作に加えて、**SSPI** コンフィギュレーション・ピンはオフチップ **SPI Flash** のプログラミングにも使用できます。**Flash** プログラミングの **MODE** 値は **SSPI** コンフィギュレーション・モードの **MODE** 値と同じです。ユーザーは **Gowin** プログラミングソフトウェアでコンフィギュレーションデータを **SRAM** またはオフチップ **Flash** に書き込むことができます。オフチップ **Flash** からロードする前に、**MODE** を **MSPI MODE** に調整してから、再パワーアップするか **RECONFIG_N** をトリガして **MSPI** ロードをトリガする必要があります。

SSPI インターフェースを介したオフチップ **Flash** プログラミングの接続図は図 3-20 に示すとおりです。

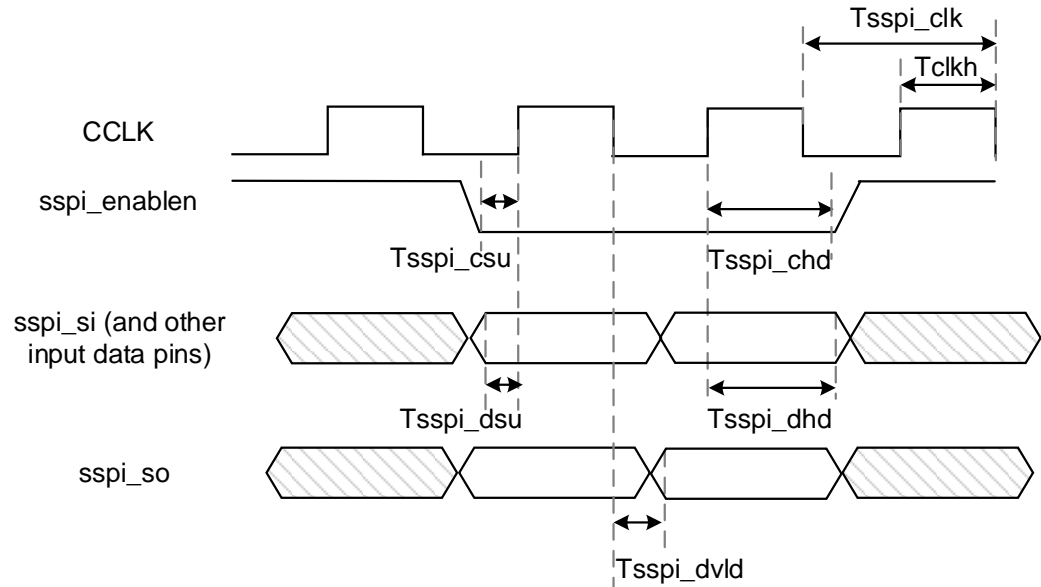
図 3-20 SSPI インターフェースを介したオフチップ Flash プログラミングの接続図



3.5.2 SSPI コンフィギュレーション・モードのタイミング図

SSPI コンフィギュレーション・モードのタイミング図は、図 3-21 に示す通りです。

図 3-21 SSPI コンフィギュレーション・モードのタイミング図



そのタイミングパラメータは、表 3-9 に示す通りです。

表 3-9 SSPI コンフィギュレーション・モードのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値	単位
Tsspi_clk	SSPI port clock period	10.0	-	ns
Tsspi_csu	sspi_enablen setup time	1.0	-	ns
Tsspi_chd	sspi_enablen hold time	0	-	ns
Tsspi_dsu	SSPI input data setup time	1.0	-	ns
Tsspi_dhd	SSPI input data hold time	0	-	ns
Tsspi_dvld	delay of SSPI clock to output data	-	1.0	ns
Tclkh	The time of clock high level	(clock cycle) * 45%	(clock cycle) * 55%	-

パワーアップ要件に加え、SSPI モードを使用するには、以下の条件を満たす必要があります。

- SSPI インターフェースのイネーブル
パワーアップ後の初めてのコンフィギュレーションまたは前回のコンフィギュレーションのとき RECONFIG_N は通常の I/O に設定されていません。
- 新しいコンフィギュレーションの開始
再パワーアップするか、Low パルスで RECONFIG_N ピンをトリガします。

3.5.3 SSPI の一般的なコンフィギュレーション命令

SSPI モードでは、FPGA SRAM のプログラミング、ID CODE/USER CODE/STATUS CODE などの読み出し、または外部記憶装置(SPI Flash など)のプログラミングを実現できます。

FPGA の SSPI 命令は通常 1～4 バイトからなります。それには少なくとも 1 つの命令バイトと複数の冗長情報バイトが含まれます。指定されていない場合、冗長情報バイトは任意の数にすることができます(次の表では 0x00 で表されます)。

表 3-10 コンフィギュレーション命令

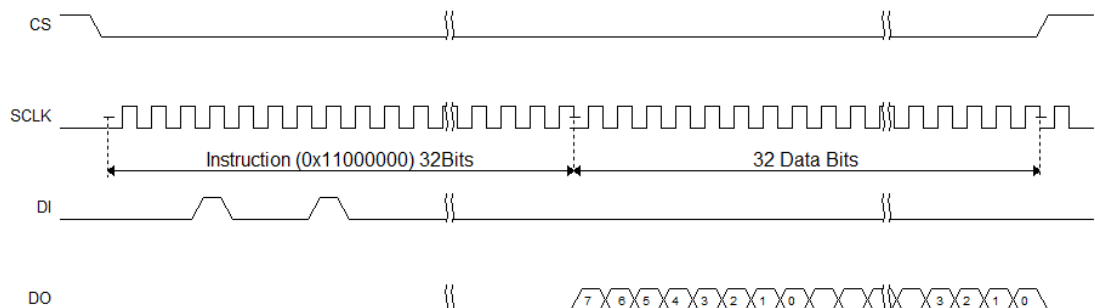
命令名	完全な命令(命令バイト+冗長情報バイト)
Read ID Code	0x11000000
Read User Code	0x13000000
Read Status Code	0x41000000
Reconfig/Reprogram	0x3C00
Write Enable	0x1500
Write Disable	0x3A00
Write Data	0x3B
Program SPI Flash	0x1600
Init Address	0x1200
Erase SRAM	0x0500

Read ID Code

FPGA の ID Code の長さは 32 ビットであり、ID を読み出すための命令の長さは 32 ビット(0x11000000)です。命令を送信する前に、CS を High にします。さらに、FPGA が CS の状態を認識できるようにこの状態を 2 クロックサイクル以上維持する必要があります。

CS が Low にプルダウンされた後、MSB フォーマットで命令 0x11000000 を書き込みます。この 4 バイトの命令を書き込んだ後、32 クロックを生成する必要があります。このとき、ID Code データは DO から MSB フォーマットで順次シフトアウトされます。

図 3-22 ID Code の読み出しのタイミング図



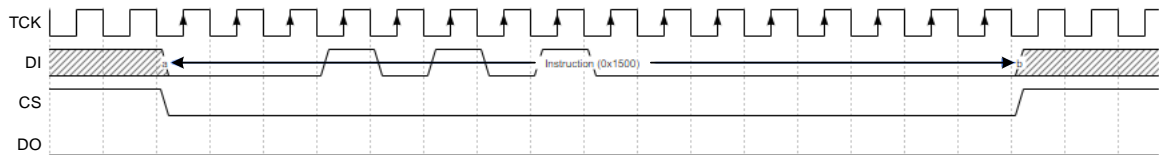
StatusCode/UserCode の読み出しも、ID Code の読み出しと同様で

す。

Write Enable (0x1500)

SRAM をコンフィギュレーションする前、Write Enable(0x15)命令を使用してデバイスを編集モードにし、デバイスが Write Data(0x3B)命令を受信できるようにします。

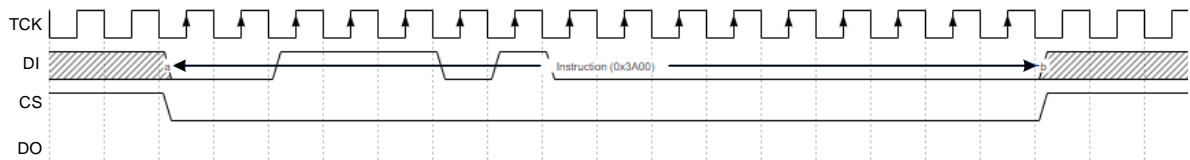
図 3-23 Write Enable(0x1500)のタイミング図



Write Disable (0x3A00)

データ送信後、Write Disable を使用して編集モードを終了してください。終了後、デバイスをウェイクアップして動作状態にすることができます。

図 3-24 Write Disable (0x3A00)のタイミング図



上記の 0x1500 と 0x3A00 命令のタイミングはほぼ同じです。CS が Low になった後、命令の送信が開始し、命令の送信が完了した後、CS を High にプルアップします。0x3C00(Reconfig/Reprogram)、0x1500(Write Enable)、0x3A00(Write Disable)、0x1600(Program SPI Flash)、0x1200(Init Address)、0x0500(Erase SRAM)などの命令もこのようなタイミングです。

Erase SRAM(0x0500)

この命令のタイミングは Write Enable/Write Disable と同じであり、命令の内容を 0x0500 に置き換えただけです。

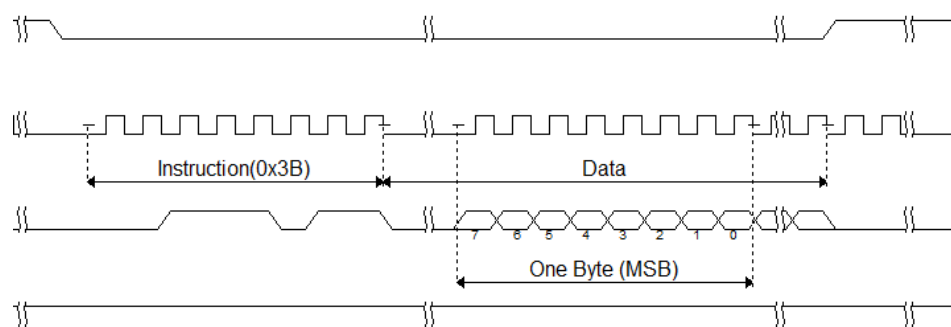
命令を送信した後、命令が実行されるまで少なくとも 10ms の遅延が必要です。

Write Data (0x3B)

Write Data(0x3B)命令を使用して FPGA デバイスにデータストリーム・ファイルを直接送信します。

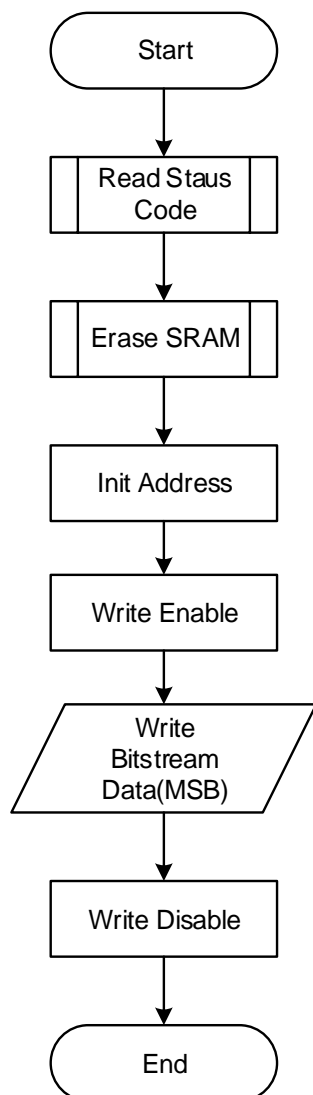
データの書き込み中、CS が Low のままである必要があります。

図 3-25 Write Data(0x3B)のタイミング図



3.5.4 SSPI モードでの SRAM コンフィギュレーション

図 3-26 SSPI モードでの SRAM コンフィギュレーションのフローチャート

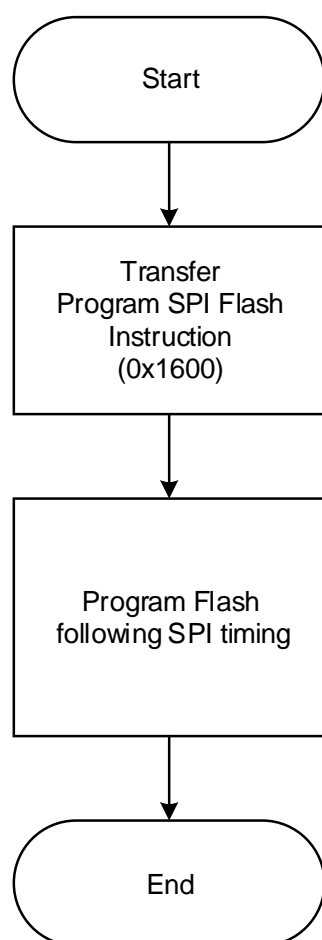


3.5.5 SSPI モードでの Flash プログラミング

Flash プログラミングのフローチャートを図 3-27 に示します。まず、「Program SPI Flash」(0x1600)命令を SSPI を介して FPGA に送信します。その後、FPGA は SSPI を Flash に転送できます。これにより、Host は SSPI を介して Flash に直接アクセスでき、Flash の関連するタイミングに従って Flash をプログラムできるようになります。

Flash からデータを読み出す場合、データが 1 ビット分遅延することに注意してください。たとえば、SSPI が Flash の ID Code を読み出すとき、最後のビットを取得するために追加の 1 クロックサイクルを送信する必要があります。

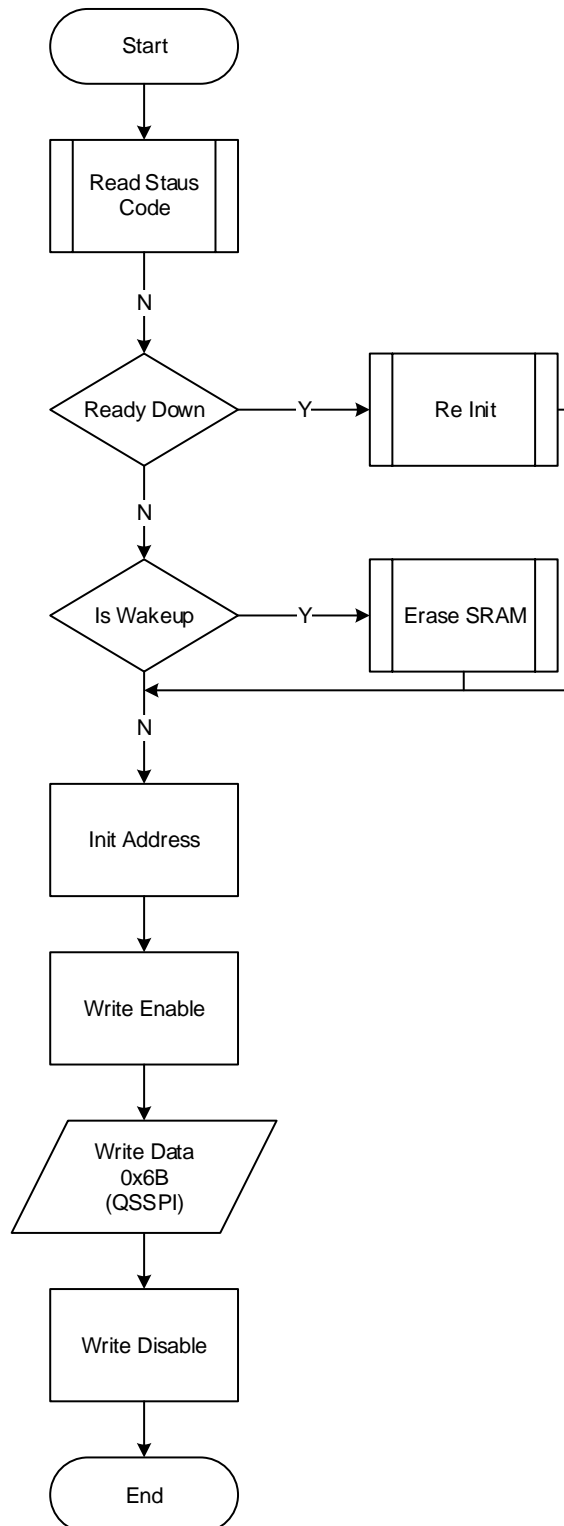
図 3-27 SSPI を介した Flash プログラミングのフローチャート



3.5.6 SSPI x4 での SRAM コンフィギュレーション

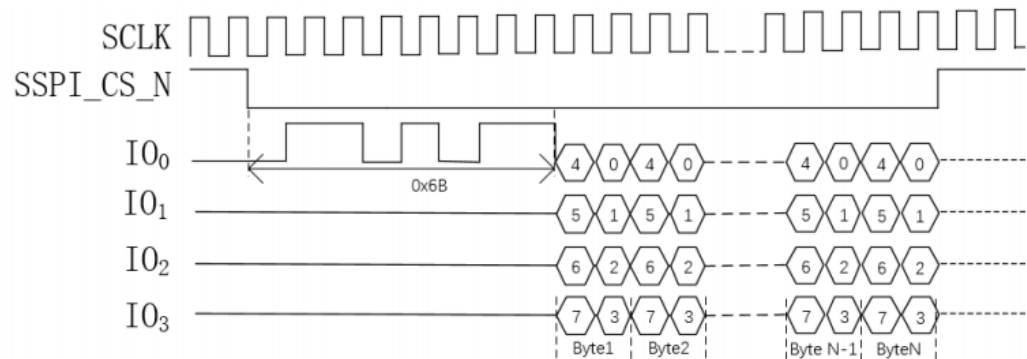
SSPI モードでの SRAM のコンフィギュレーション手順は次のとおりです。ここで、Read Status、Reinit、Erase SRAM、InitAddress、Write Enable、Write Disable は引き続き SSPI 命令を使用し、Write Data のみが QSSPI 命令を使用します。

図 3-28 QSSPI モードでの SRAM コンフィギュレーションのフローチャート



QSSPI Write Data (0x6B) のタイミングを下図に示します。

図 3-29 QSSPI Write Data (0x6B) のタイミング図



3.6 MSPI コンフィギュレーション・モード

MSPI(Master SPI)モードでは、FPGA はマスター(master)として、SPI インターフェースを介して能動的にオフチップ Flash からビットストリームデータを読み込みます。

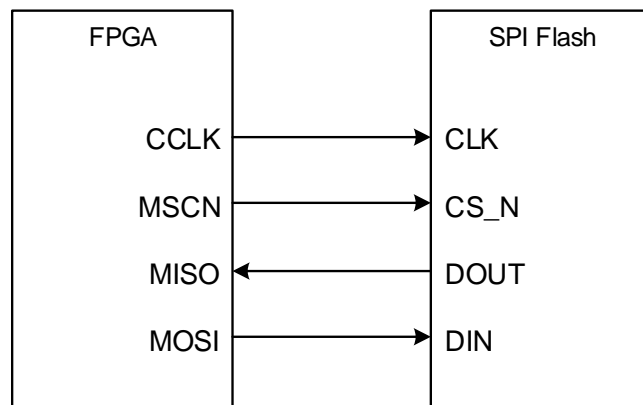
MSPI コンフィギュレーション・プロセス : MODE ピンを MSPI 状態に設定して、FPGA を再パワーアップさせるか Low パルスで RECONFIG_N をトリガすると、FPGA は外部 FPGA からビットストリームを読み込んでコンフィギュレーションを実行します。

ユーザーは、MSPI のコンフィギュレーション特性によってリモートアップグレード実現できます。FPGA の動作開始後、アップグレードが必要な場合、ユーザーはコンフィギュレーションデータを FPGA 外の Flash にリモートで書き込んで、アップグレード条件が満たされたら、RECONFIG_N をトリガするか再パワーアップしてアップグレードを完了します。

3.6.1 MSPI コンフィギュレーション・モードの接続図

MSPI x1/x2/x4 コンフィギュレーション・モードを利用した GOWIN セミコンダクターFPGA 製品のコンフィギュレーションの接続図は図 3-30~図 3-32 に示すとおりです。

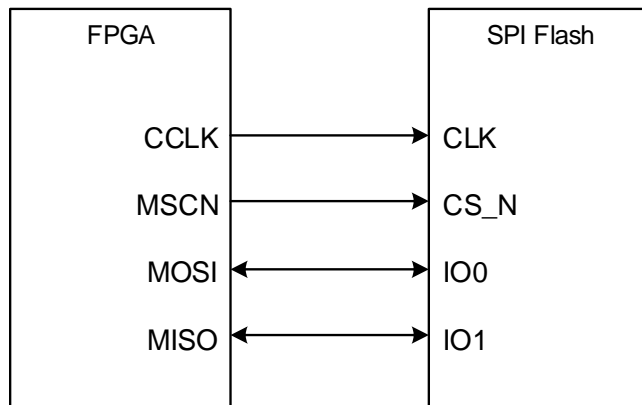
図 3-30 MSPIx1 コンフィギュレーション・モードの接続図



注記：

- [1] MSPI x1 の周波数範囲：2.5Mhz~105Mhz
- [2] デフォルトは MSPI x1、3-Byte アドレスモードであり、EDA で設定を変更してロード時間を改善することができます。

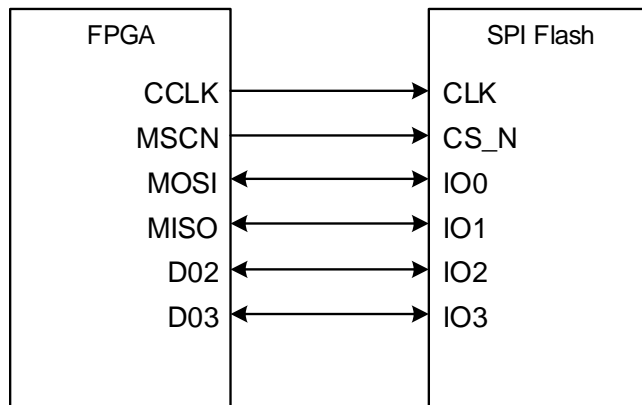
図 3-31 MSPIx2 コンフィギュレーション・モードの接続図



注記：

- [1] MSPI x2 の周波数範囲：2.5MHz~105MHz
- [2] デフォルトは MSPI x1、3-Byte アドレスモードであり、EDA で設定を変更してロード時間を改善することができます。

図 3-32 MSPIx4 コンフィギュレーション・モードの接続図



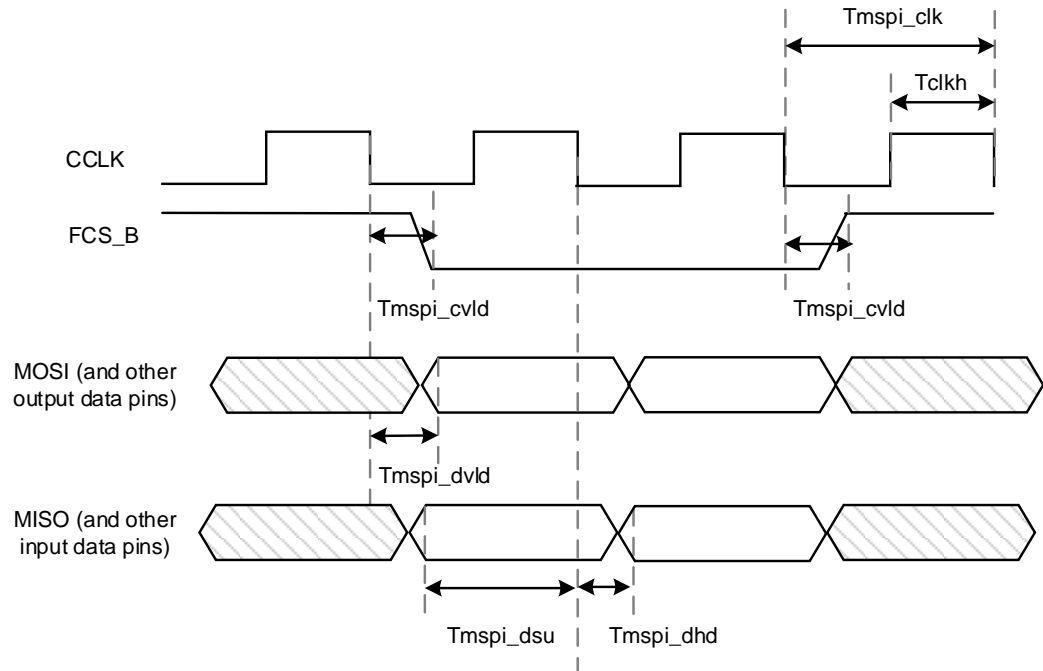
注記：

- [1] MSPI x4 の周波数範囲：2.5MHz~105MHz
- [2] デフォルトは MSPI x1、3-Byte アドレスモードであり、EDA で設定を変更してロード時間を改善することができます。

3.6.2 MSPI コンフィギュレーション・モードのタイミング図

MSPI コンフィギュレーション・モードのタイミング図は、図 3-33 に示す通りです。

図 3-33 MSPI コンフィギュレーション・モードのタイミング図



そのタイミングパラメータは、表 3-11 に示す通りです。

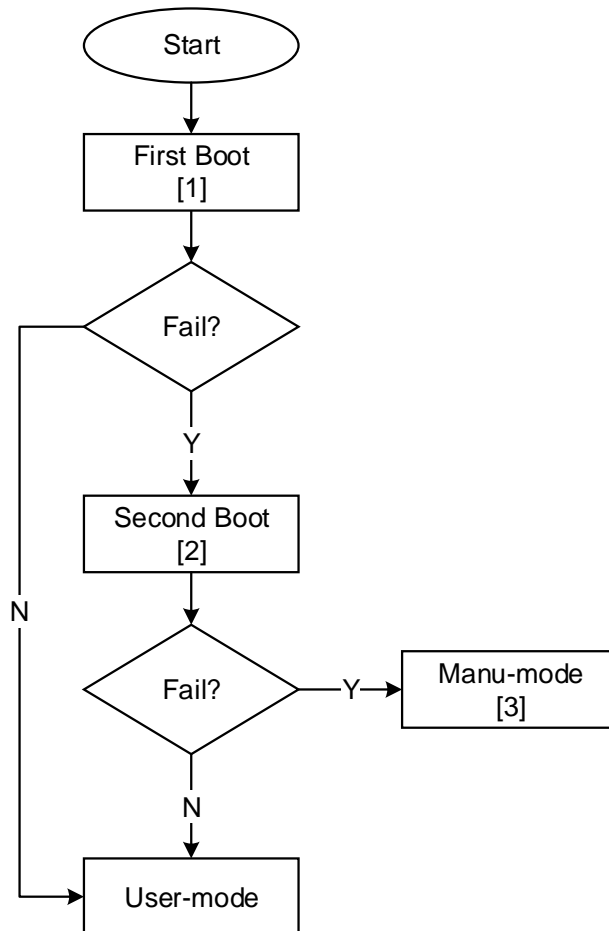
表 3-11 MSPI コンフィギュレーション・モードのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値	単位
Tmspi_clk	MSPI clock period	10.0	–	ns
Tmspi_cvld	delay of MSPI clock falling edge to CSI_B	–	1.0	ns
Tmspi_dvld	delay of MSPI clock falling edge to output data	–	1.0	ns
Tmspi_dsu	the setup time of input data	2.0	–	ns
Tmspi_dhd	the hold time of input data	0	–	ns
Tclkh	The time of clock high level	(clock cycle) *45%	(clock cycle) *55%	–

3.6.3 MSPI モードでのコンフィギュレーション手順

パワーアップ後、Arora V FPGA は、デフォルトの 2.5MHz の周波数でアドレス 0x000000 から SPI x1 プロトコルでビットストリームを読み出してコンフィギュレーションを実行します。1 回目のコンフィギュレーションに失敗した場合、デバイスは自動的にデフォルトの 0x800000 アドレスから 2 回目のコンフィギュレーション操作を実行します。2 回目のコンフィギュレーションにも失敗した場合、デバイスは **Manu-mode** になります。コンフィギュレーションの失敗の要因には、ID 検証エラー、CRC 検証エラー、命令エラー、およびタイムアウト・エラーなどがあります。

図 3-34 MSPI モードでのコンフィギュレーションのフローチャート



注記：

- ^[1] デフォルトでは、1 回目のロードは **MSPI x1、3-Byte** アドレスモードを使用し、EDA で設定を変更してロード時間を改善することができます。
- ^[2] EDA で必要に応じてロードのアドレスを設定することができます。
- ^[3] **Manu-mode** では、**SSPI、JTAG** インターフェース経由でデバッグや手動コンフィギュレーションが可能です。

また、MSPI モードでは、ビットストリームファイルの先頭に **mspi_jump(0x6E)** 命令を追加することで、任意のロードアドレスへのジャンプを実現できるため、複雑なシステムでも柔軟に **Flash** ストレージ領域を割り当てることが可能です。

3.7 CPU コンフィギュレーション・モード

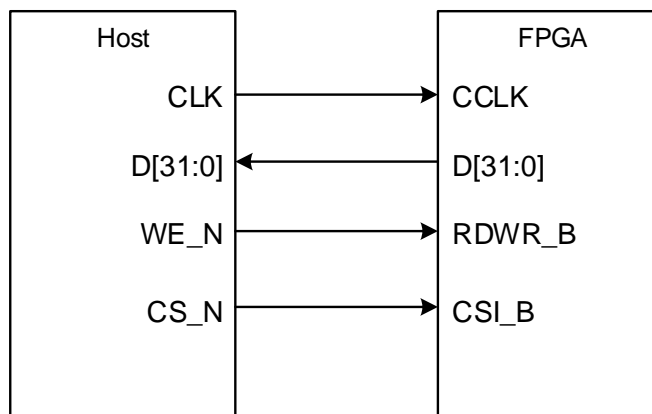
CPU コンフィギュレーション・インターフェースは、8/16/32 ビット幅でデバイスをコンフィギュレーションすること、バス幅の適応的調整、および 8 ビット幅でのデータ・リードバックをサポートします。また、マスターモードとスレーブモードがサポートされ、この 2 つのモードの違いは、インターフェースクロックの方向が異なるだけです。デフォルトでは、マスターモードでは、オンチップ・オシレータがコンフィギュレーション・クロック・ソースとして使用され、EDA での設定により、EMCCLK をコンフィギュレーション・クロックとして選択可能です。インターフェースの最大クロック周波数は以下のとおりです。

- 32 ビットモードの場合：最大クロック周波数は 50MHz
- 16 ビットモードの場合：最大クロック周波数は 100MHz
- 8 ビットモードの場合：最大クロック周波数は 100MHz

3.7.1 CPU コンフィギュレーション・モードの接続図

CPU コンフィギュレーション・モードの接続図は図 3-35 に示すとおりです。

図 3-35 CPU コンフィギュレーション・モードの接続図



注記：

マスターモードの場合、CCLK の方向は出力で、スレーブモードの場合、CCLK の方向は入力です。

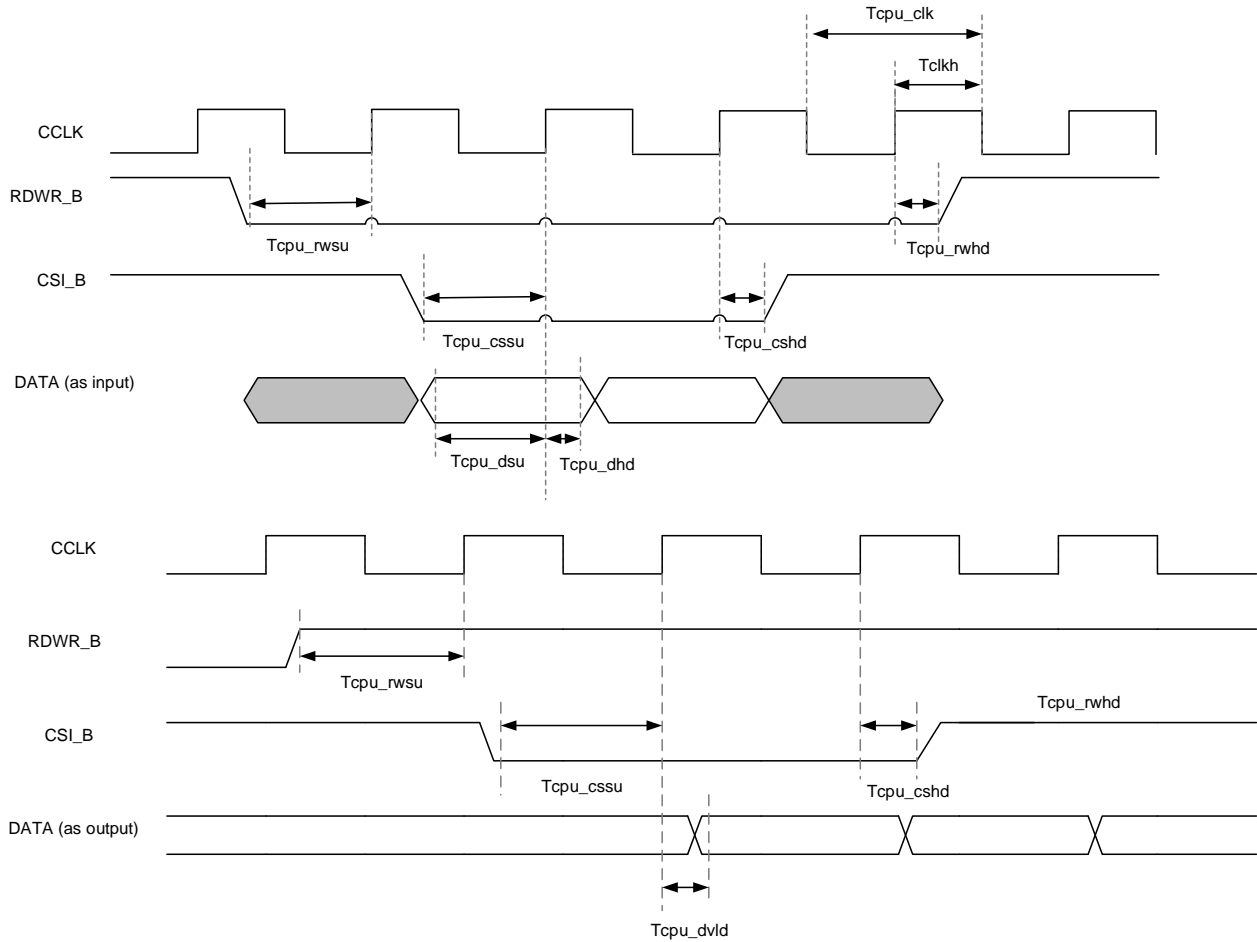
パワーアップ要件に加え、CPU モードを使用するには、以下の条件を満たす必要があります。

- CPU インターフェースのイネーブル
パワーアップ後の初めてのコンフィギュレーションまたは前回のコンフィギュレーションのとき RECONFIG_N は通常の I/O に設定されていません。
- 新しいコンフィギュレーションを開始します
再パワーアップするか、Low パルスで RECONFIG_N ピンをトリガします。

3.7.2 コンフィギュレーションのタイミング

CPU コンフィギュレーション・モードのタイミング図は、図 3-36 に示す通りです。

図 3-36 CPU コンフィギュレーション・モードのタイミング図



そのタイミングパラメータは、表 3-12 に示す通りです。

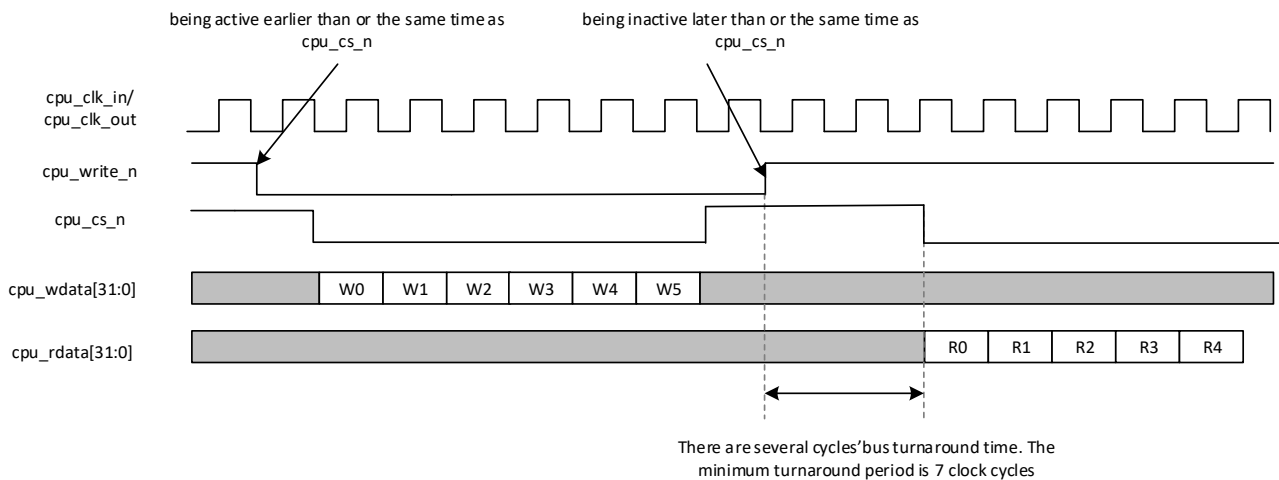
表 3-12 CPU コンフィギュレーション・モードのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値	単位
Tcpu_clk	CPU port clock period	10.0	–	ns
Tcpu_rwsu	RDWR_B setup time	8.0	–	ns
Tcpu_rwhd	RDWR_B hold time	0	–	ns
Tcpu_cssu	CS_B setup time	8.0	–	ns
Tcpu_cshd	CS_B hold time	0	–	ns
Tcpu_dsu	input data setup time	4.0	–	ns
Tcpu_dhd	input data hold time	0.0	–	ns
Tcpu_dvld	delay of CPU clock to output data	–	8.0	ns
Tclkh	The time of clock high level	(clock cycle) *45%	(clock cycle) *55%	–

3.7.3 連続ロード

連続的なデータロードは、**Host** がコンフィギュレーションデータを途切れなく提供できる場合に使用されます。パワーアップ後、コンフィギュレーション・コントローラは **RDWR_B** 信号を書き込みイネーブル (**RDWR_B = 0**) に設定し、**CSI_B** 信号を **0** にセットします。また、**RDWR_B** は、**CSI_B** の前に **Low** に駆動される必要があります、そうしないとアボートが発生します。

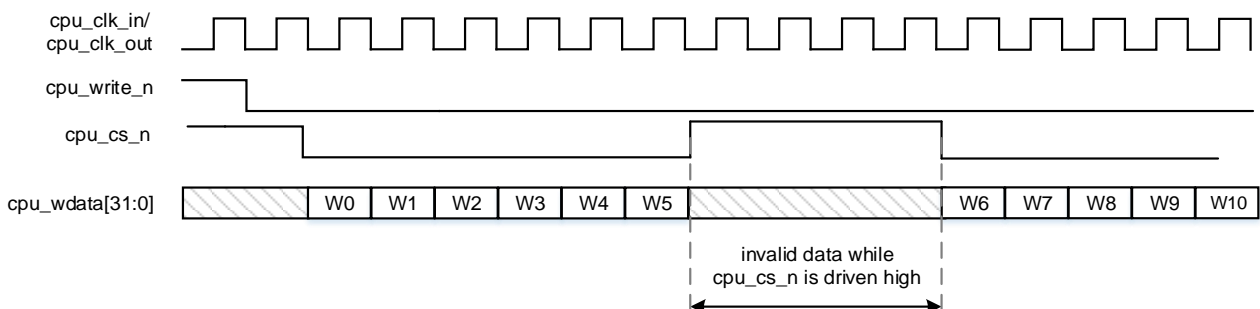
図 3-37 連続ロードのタイミング図



3.7.4 不連続ロード

不連続ロードは、データソース（すなわち **Host**）が途切れのないコンフィギュレーションデータを提供できない場合に使用されます。**Host** 側は、**CSI_B** 信号を **High** にプルアップする方法と、**CCLK** を一時停止する方法の 2 つの方法でコンフィギュレーションを一時停止することができます。

図 3-38 不連続ロードのタイミング図



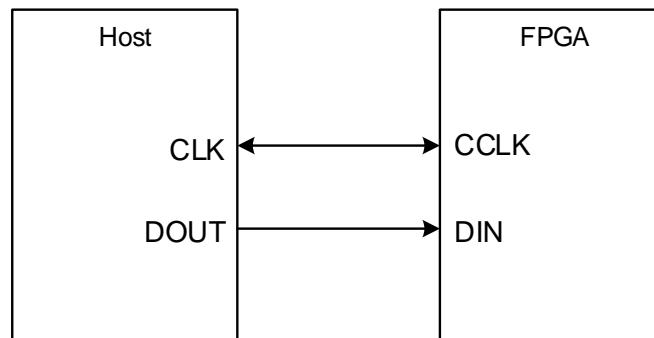
3.8 SERIAL コンフィギュレーション・モード

SERIAL モードでは、Host はシリアルインターフェースを介して GOWIN セミコンダクターFPGA 製品をコンフィギュレーションします。SERIAL コンフィギュレーション・モードは、最少ピン数を使用するコンフィギュレーション・モードの 1 つです。また、マスターモードとスレーブモードがサポートされ、この 2 つのモードの違いは、インターフェースクロックの方向が異なるだけです。SERIAL コンフィギュレーション・モードでは、ビットストリームデータを FPGA に書き込むことはできますが、FPGA デバイスからデータをリードバックすることはできません。よって、SERIAL コンフィギュレーション・モードでは ID CODE、USER CODE、およびステータスレジスタ情報を読み出すことができません。

3.8.1 SERIAL コンフィギュレーション・モードの接続図

SERIAL コンフィギュレーション・モードの接続図は図 3-39 に示すとおりです。

図 3-39 SERIAL コンフィギュレーション・モードの接続図



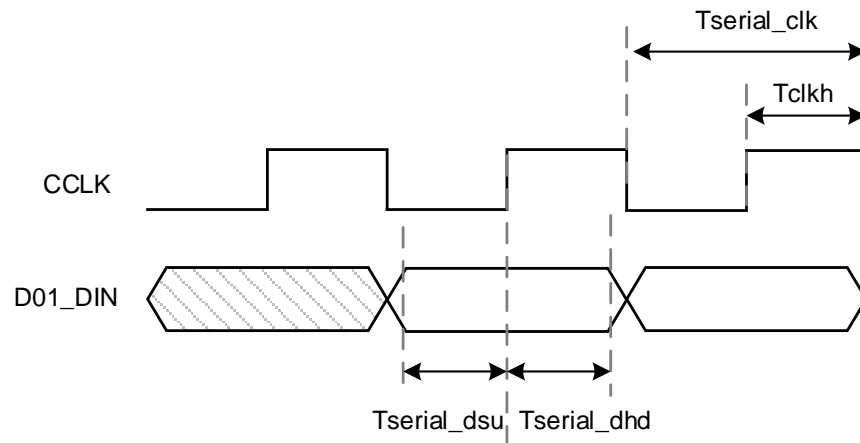
注記：

[1] マスターモードの場合、CCLK の方向は出力で、スレーブモードの場合、CCLK の方向は入力です。

SERIAL コンフィギュレーション・モードのタイミング図

SERIAL コンフィギュレーション・モードのタイミングを図 3-40 に示します。

図 3-40 SERIAL コンフィギュレーション・モードのタイミング図



そのタイミングパラメータは、表 3-13 に示す通りです。

表 3-13 SERIAL コンフィギュレーション・モードのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値	単位
Tserial_clk	Serial port clock period	10.0	–	ns
Tserial_dsr	the setup time of input date	4.0	–	ns
Tserial_dhd	the hold time of input data	0	–	ns
Tclkh	The time of clock high level	(clock cycle) *45%	(clock cycle) *55%	–

パワーアップ要件に加え、SERIAL モードを使用するには、以下の条件を満たす必要があります。

- SERIAL インターフェースのイネーブル
パワーアップ後の初めてのコンフィギュレーションまたは前回のコンフィギュレーションのとき RECONFIG_N は通常の I/O に設定されていません。
- 新しいコンフィギュレーションを開始します

再パワーアップするか、Low パルスで RECONFIG_N ピンをトリガします。

3.9 デイジーチェーン

3.9.1 シリアル・デイジーチェーン

シリアル・デイジーチェーンでは、デバイスは DIN ピン経由でコンフィギュレーションデータを受け取り、DOUT ピン経由で下流のデバイスにコンフィギュレーションデータを転送します。最上流のデバイス（つまり、データソースに最も近いデバイス、下図では Device_1）は、以下のモードのいずれかであることができます。

- Master Serial
- Slave Serial
- Master SPI

下流側のデバイスは、次のモードである必要があります。

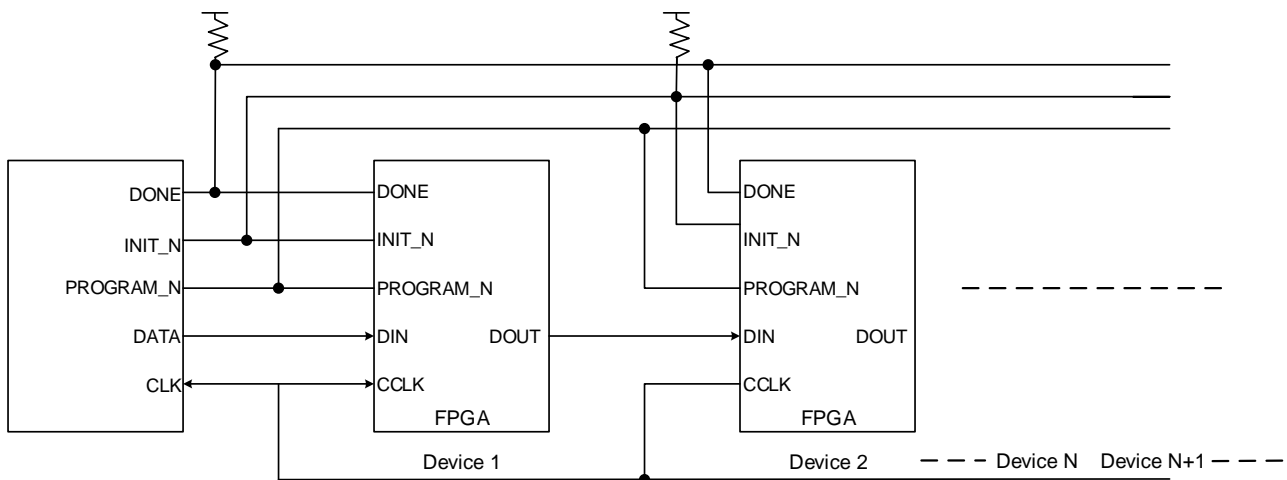
- Slave Serial

注記：

Master SPI は x1 モードである必要があります。

下図はシリアル・デイジーチェーンを示します。Host はまず Device 1 をコンフィギュレーションし、次に隣接するデバイス（図では Device 2）に DOUT ピン経由でビットストリームをバイパス転送します。

図 3-41 シリアル・デイジーチェーンの接続図



3.9.2 パラレル・デイジーチェーン

パラレル・デイジーチェーンでは、「チップセレクト」信号は、上流側のデバイスから下流側のデバイスに転送されます。最上流のデバイスは、以下のモードのいずれかであることができます。

- Master CPU
- Slave CPU

下流側のデバイスは、次のモードである必要があります。

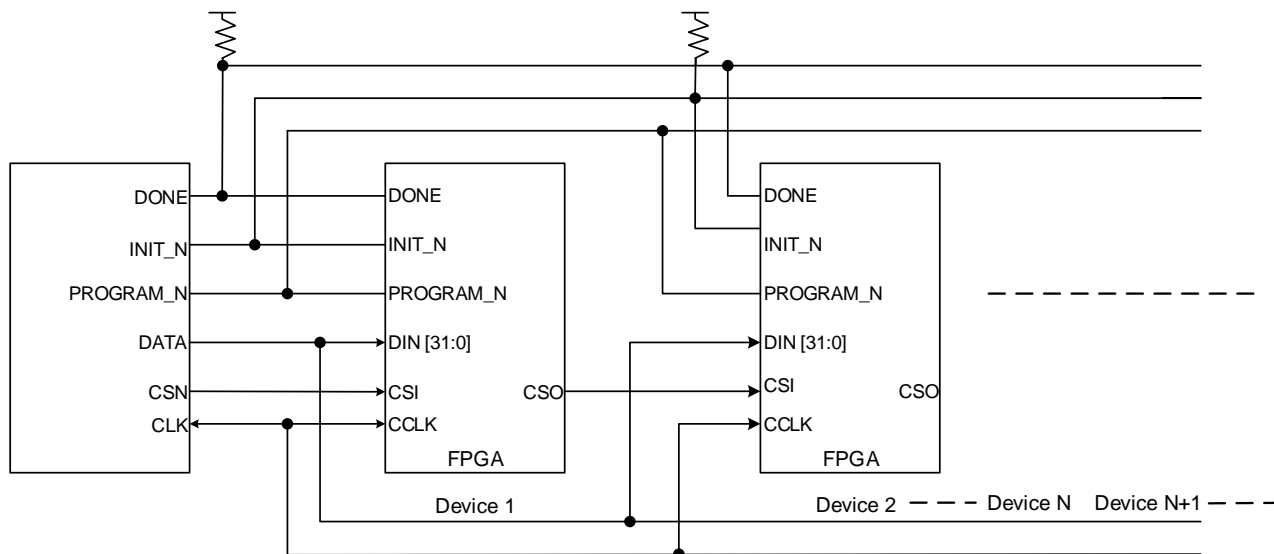
- Slave CPU

注記：

すべてのデバイスの書き込みイネーブルピン（RDWR_N）は Low である必要があります。

下図はパラレル・デイジーチェーンを示します。Device1 は最初にコンフィギュレーションされ、次に「CSN」を「CSO」ピン経由で Device2 にバイパス転送します。デバイス自体のコンフィギュレーションが完了すると、「CSN」は、隣接する次のデバイスに転送されます。

図 3-42 パラレル・デイジーチェーンの接続図



4 コンフィギュレーションの詳細

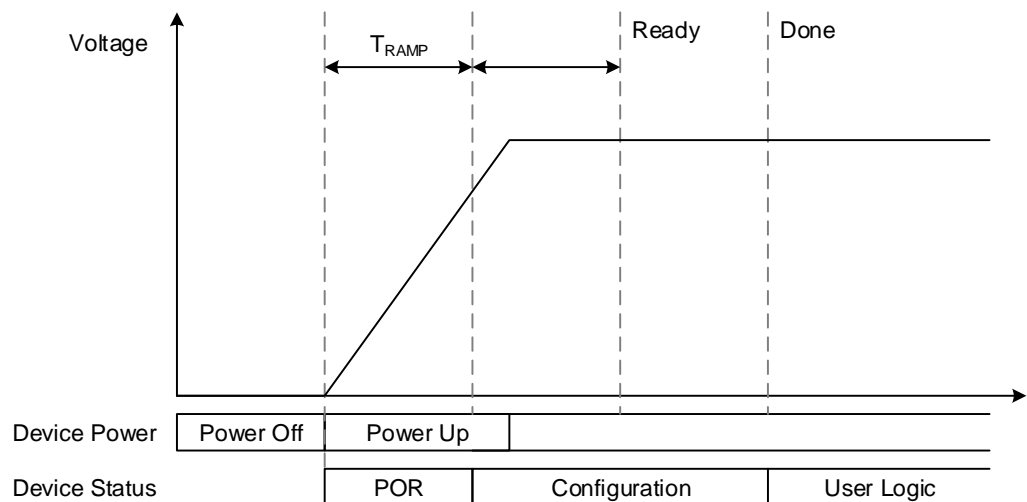
Arora V FPGA 製品は、SRAM ベースの高性能デバイスです。SRAM ベースのデバイスは、パワーダウン後にデバイス内部のコンフィギュレーションデータが失われるため、パワーアップのたびに再度コンフィギュレーションする必要があります。

各パッケージでサポートされているコンフィギュレーション・モードは、ボンディングされているコンフィギュレーション・ピンの数に関連しています。汎用の JTAG コンフィギュレーション・モードはすべてのデバイスによりサポートされます。各コンフィギュレーション・モードの MODE 値は異なります。

4.1 コンフィギュレーションの注意事項

パワーアップの要件

図 4-1 パワーアップの説明図



FPGA の VCC、VCCIO、および VCCX 電源電圧が最小電源振幅を満たすと、FPGA は起動プロセスに入ります：電圧が安定しており、RECONFIG_N が外部回路によってプルダウンされていません > FPGA

内部回路が **READY** および **DONE** ピンを **Low** にプルダウンします > **FPGA** 初期化 > **READY** が **High** にプルアップされて、**MODE** 値がサンプリングされます > コンフィギュレーション・モードに従ってコンフィギュレーションデータを読み出し、検証します > **FPGA** ウェイクアップ > **DONE** が **High** にプルアップされます > ユーザーモードに入ります。

FPGA の起動中、電源を安定させる必要があります。**FPGA** のパワーアップおよびロード中、**Low** レベルの **RECONFIG_N** は許容されず、ユーザーは **RECONFIG_N** ピンをフローティングのままにするか、外部で **High** にプルアップすることができます。**FPGA** のウェイクアップ前は、すべての **GPIO** はハイインピーダンス状態(**Hi-Z** 状態)です。

コンフィギュレーション・ピンの多重化

各コンフィギュレーション・モードを使用する場合、ユーザーは、コンフィギュレーション・ピンの役割に応じて、**FPGA** が選択されたコンフィギュレーション・モードで動作するようにする必要があります。ユーザー側のピン数が足りない場合、これらのピンは他の接続方法で柔軟に処理し、データ伝送に関連するピンのみを保持することが可能です。

MODE[2 : 0]はプログラミング・コンフィギュレーション・モードを選択するために使用され、モードを変更する必要がない場合は、プルアップ抵抗またはプルダウン抵抗を使用して特定のモードに固定できます。プルアップ抵抗の場合、**4.7K** を推奨し、プルダウン抵抗の場合、**1K** を推奨します。

注記：

RECONFIG_N、**READY**、および **DONE** ピンは各コンフィギュレーション・モードに関連付けられており、ユーザーがそれらを **GPIO** に設定したかどうかにかかわらず、コンフィギュレーション操作が完了する前に、その初期値またはピン接続状態はプログラミング・コンフィギュレーション条件を満たす必要があります。

推奨されるピン接続

詳しくは、回路図ユーザーガイドを参照してください。

再パワーアップのタイミング図および **Low** パルスで **RECONFIG_N** をトリガするタイミング図

再パワーアップのタイミング図および **Low** パルスで **RECONFIG_N** をトリガするタイミング図は、図 4-2 と図 4-3 に示すとおりです。

図 4-2 再パワーアップのタイミング図

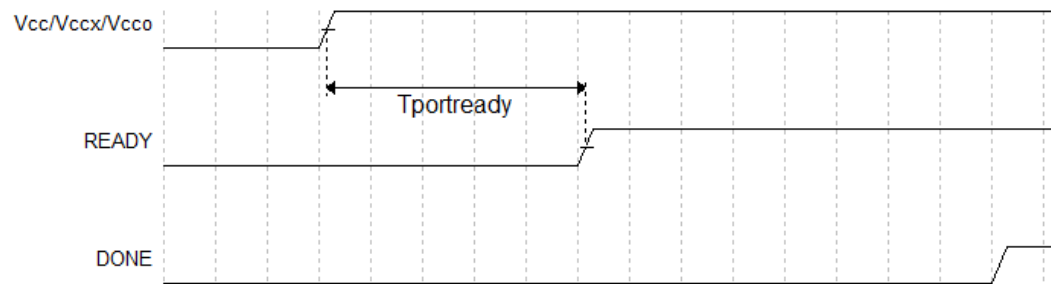
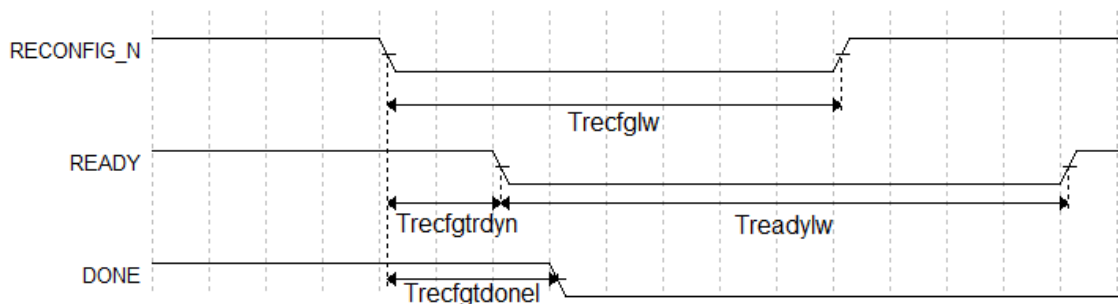


図 4-3 Low パルスで RECONFIG_N をトリガするタイミング図



Arora V FPGA 製品の関連タイミングパラメータは、表 4-1 に示すとおりです。

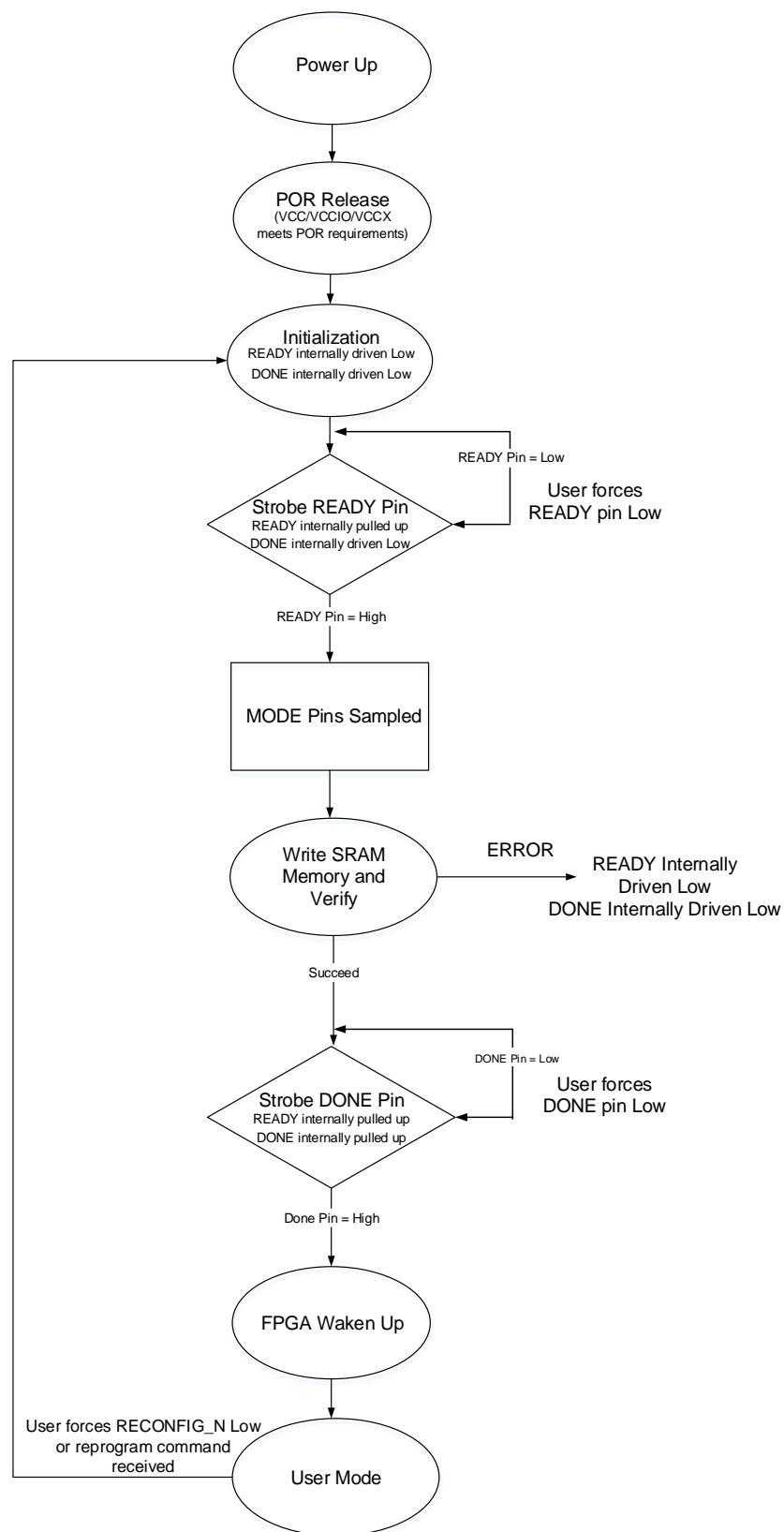
表 4-1 Arora V FPGA 製品の再パワーアップと RECONFIG_N トリガのタイミングパラメータ

パラメータ名	パラメータの意味	最小値	最大値
$T_{\text{portready}}$	POR から READY の立ち上がりエッジまでの時間(Time from POR to the rising edge of READY)	-	23ms
T_{recfglw}	RECONFIG_N の Low パルス幅(RECONFIG_N low pulse width)	25ns	-
$T_{\text{recfgtrdyn}}$	RECONFIG_N の立ち下がりエッジから READY の Low レベルに至るまでの時間(Time from RECONFIG_N falling edge to READY low)	-	70ns
T_{readylw}	READY の Low パルス幅(READY low pulse width)	TBD	-
$T_{\text{recfgtdonel}}$	RECONFIG_N の立ち下がりエッジから DONE の Low レベルに至るまでの時間(Time from RECONFIG_N falling edge to DONE low)	-	80ns

4.2 コンフィギュレーション手順

パワーアップ後、Gowin FPGA は、初期化、SRAM コンフィギュレーション、ウェイクアップなど、いくつかの状態を経ます。そのコンフィギュレーション手順を図 4-4 に示します。

図 4-4 Gowin FPGA のコンフィギュレーションのフローチャート



注記：

- READY, DONE, RECONFIG_N は、内部の弱いプルアップ（プルアップ電流は約 100uA）を持つオープンドレイン出力の双方向の IO です。

- READY ピンを強制的に Low にすることで(force the READY pin low)、デバイスがロードを開始するタイミングを制御することができます。
- DONE ピンを強制的に Low にすることで(force the DONE pin low)、デバイスがウェイクアップするタイミングを制御することができます。
- RECONFIG_N ピンは、電源投入からデバイスのロードが完了するまで、High に保持する必要があります。

4.2.1 パワーアップのタイミング

パワーアップ中に、FPGA 内のパワーオンリセット (POR) 回路が動作を開始します。POR 回路は、外部 I/O ピンがハイインピーダンス状態にあることを確認し、VCC/VCCX/VCCIO_n 電源レールを監視します。VCC/VCCX/VCCIO_n が最低のリセットレベルの要件を満たすと (リセットレベルや監視される電源レールは、デバイスによって異なります)、POR 回路が内部リセット信号を解放し、FPGA が初期化プロセスを開始します。READY 信号と DONE 信号が Low にプルダウンされると、デバイスは初期化状態になります(図 4-5)。

図 4-5 パワーアップのタイミング図

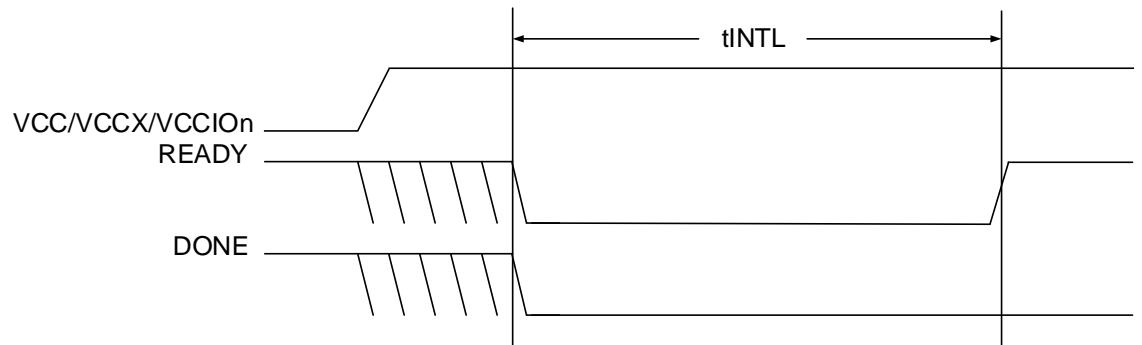


表 4-2 に、各デバイスの POR モジュールが監視する電源レールを示します。

表 4-2 各デバイスの POR モジュールが監視する電源レール

シリーズ	デバイス	POR モジュールが監視する電源レール
Arora V	GW5A-138	VCC/VCCX/ VCC_REG/VCCIO2/3/4/5/6/7
	GW5AS-138	VCC/VCCX/ VCC_REG/VCCIO2/3/4/5/6/7
	GW5AT-138	VCC/VCCX/ VCC_REG/VCCIO2/3/4/5/6/7
	GW5AST-138	VCC/VCCX/ VCC_REG/VCCIO2/3/4/5/6/7

4.2.2 初期化

パワーオンリセット回路が READY ピンと DONE ピンを Low にプルダウンすると、Gowin FPGA はすぐにメモリ初期化状態になります。初期化状態の目的は、FPGA 内のコンフィギュレーション SRAM をクリアすることです。

FPGA は、次のすべての条件を満たすと、初期化状態からジャンプします。

- 初期化状態の時間が **tINITL** を超えています。
- **RECONFIG_N** ピンが **High** です。
- **READY** ピンは、外部で強制的に **Low** にプルダウンされていません。
READY ピンは、初期化段階で次の 2 つの機能を提供します。
- **FPGA** が内部のコンフィギュレーション **SRAM** をクリアしていることを示します。
- 入力として、外部で **Low** にプルダウンされたときに **FPGA** が初期化状態からジャンプアウトするのを防ぐことができます。

4.2.3 コンフィギュレーション

READY ピンの立ち上がりエッジが認識された後、**FPGA** はコンフィギュレーション状態になります。**MODE** ピンの状態に応じて、**FPGA** 内のコンフィギュレーション **SRAM** はさまざまなモードでコンフィギュレーションできます。**FPGA** がコンフィギュレーションデータを受信している間、内部状態は **READY** ピンから判断できます。**High** レベルの **READY** 信号は、コンフィギュレーションが正常であることを示し、**Low** レベルの **READY** 信号は、**FPGA** コンフィギュレーションにエラーがあり、正常に動作できないことを示します。

4.2.4 ウェイクアップ

すべてのコンフィギュレーションデータを正しく受信した後、**FPGA** はウェイクアップ状態に入り、内部の **DONE** 状態ビットを 1 にセットします。ウェイクアップ状態では、**FPGA** は次の操作を順番に実行します。

1. グローバル出力信号 (**GOE**) を有効にすることで、**FPGA** の **I/O** がハイインピーダンス状態を終了し、そのプリセット機能を実現します。グローバル・セット/リセット信号 (**GSR**) を 1 にセットすることにより、入力信号が **FPGA** 内のフリップフロップの状態に影響を与えるのを防ぐことができます。
2. グローバル・セット/リセット信号 (**GSR**) とグローバル書き込み無効信号 (**GWDISn**) を解放します。グローバル書き込み無効信号を有効にすることにより、**FPGA** が内部 **RAM** の初期化データを誤って上書きするのを防ぐことができます。
3. 外部 **DONE** ピンを有効にします。有効にされると、**DONE** ピンは双方向のオープンドレイン **I/O** になります。**DONE** ピンを外部から強制的に **Low** にプルダウンすることにより、**FPGA** をウェイクアップ状態に保つことができます。**DONE** ピンが **High** になると、**FPGA** はウェイクアップ状態を終了し、ユーザーモードに入ります。

4.2.5 ユーザーモード

ユーザーモードに入ると、**FPGA** は設計したロジック機能をすぐに実

行します。FPGA は、次の 3 つのイベントのいずれがトリガされるまでユーザーモードのままになります。

- RECONFIG_N ピンが外部で Low にプルダウンされます
- コンフィギュレーションポート経由で REFRESH 命令が受信されます
- 電源の入れ直し(Power Cycle)

上記の 3 つのイベントのいずれが発生すると、FPGA はコンフィギュレーション手順を再開します。

4.3 安全上の考慮事項

ユーザーが FPGA を使用して設計する場合、セキュリティの問題が重要な考慮事項となります。GOWIN セミコンダクターのプログラミングソフトウェアでは、デバイスの機能を考慮して一連のセキュリティ対策が開発され、ユーザーのビットストリームデータを確実に保護できます。

セキュリティ対策は、大きく 3 つの段階に分けられます。

- コンフィギュレーションの前に、プログラミングソフトウェアは自動的にビットストリームデータの有効性をチェックします。
- コンフィギュレーション中に、デバイスはリアルタイムで転送データが正しいかをチェックします。
- コンフィギュレーションが完了した後、デバイスは動作状態に入り、あらゆる形式のリードバック要求をブロックします。

3 つの段階の詳細は以下のとおりです。

コンフィギュレーション前

GOWIN セミコンダクターのプログラミングソフトウェアを使用してコンフィギュレーションするには、以下の手順を参照してください。

1. コンフィギュレーション回路のハードウェア接続を実行します。
2. プログラミングソフトウェアを起動してデバイスのスキャンを実行します。接続されている FPGA 製品は自動的に識別されます。
3. ビットストリームデータとプログラミング・コンフィギュレーション・モードを選択してデバイスのプログラミング・コンフィギュレーションを実行します。

上記のプロセスでは、プログラミングソフトウェアはまず接続されたデバイスの ID を読み出し、次にそれをユーザーによって選択されたビットストリームデータ内の ID と比較し、この 2 つの ID が一致した場合にのみプログラミング/コンフィギュレーションを実行できます。

注記：

GOWIN セミコンダクターFPGA 製品には、他の製品と区別するための固有の ID があります。Gowin ソフトウェアによって生成されたビットストリームデータにはデバイスの ID 検証命令が自動的に追加されています。従って、ユーザーは、プロジェクトを作成す

るときにデバイスを選択するだけで済みます。

コンフィギュレーション中

コンフィギュレーションが開始した後、デバイスはまず検証のためにビットストリームデータの ID を読み出し、検証がパスした後にプログラミング・コンフィギュレーションを開始します。ビットストリームデータの改ざんや送信中に発生する可能性のあるエラーを防ぐために、**GOWIN** セミコンダクターデバイスは **CRC** 方法を使用して、ビットストリームファイル内のすべてのデータビットが **FPGA** に正しく書き込まれるようにします。

Gowin ソフトウェアによって生成されたビットストリームデータの各アドレスの後には、当該アドレスに対応するデータの **CRC** チェックコードが追加されています。**GOWIN FPGA** がデータを受信中にも継続的にチェックコードを生成し、それを受信されたチェックコードと比較します。チェックエラーが発見されると、それ以降のデータは無視され、コンフィギュレーションが完了しても **DONE** インジケータは点灯せず、**CRC** チェックエラーがプログラミングソフトウェア **GUI** に表示されます。

コンフィギュレーション完了後

コンフィギュレーションが完了した後、デバイスのビットストリームデータが、ユーザーが選択したプログラミング・コンフィギュレーション・モードに従って **SRAM** にロードされた後、デバイスは動作し始めます。**SRAM** にロードされたデータの場合、**Gowin** ソフトウェアがビットストリームデータの生成時にセキュリティビットを自動的に設定したため、ユーザーは **SRAM** 内のデータを読み出すことができません。

注記：

GOWIN セミコンダクターは、オフチップ **Flash** のデータのセキュリティに対して責任を負いません。

4.4 ビットストリームファイルの構成

GOWIN セミコンダクター **FPGA** 製品のプログラミング・コンフィギュレーションの特性を実現するには、**Gowin** ソフトウェアで構成する必要があります。構成には主にコンフィギュレーション・ピンの多重化とビットストリームファイルの構成が含まれます。このセクションでは、主にビットストリームファイルの構成について説明します。コンフィギュレーション・ピンの多重化の詳細については、コンフィギュレーション・ピンの多重化を参照してください。

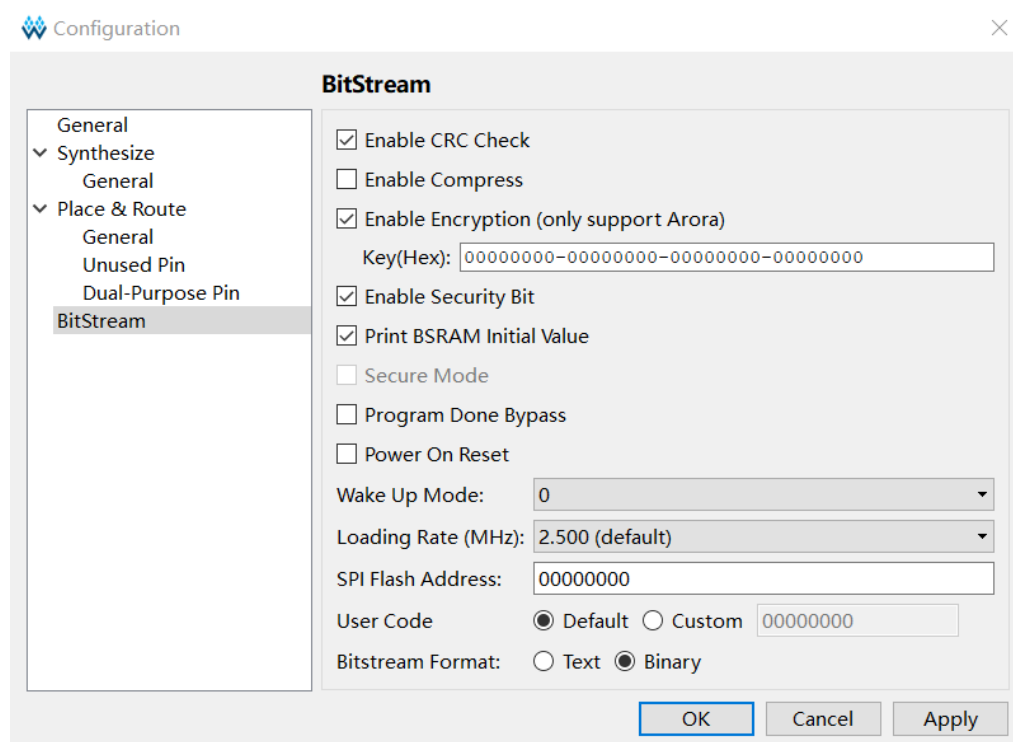
コンフィギュレーションデータを安全かつ正確に転送するために、**GOWIN** は **FPGA** 製品のビットストリームファイルにデフォルトで **CRC** アルゴリズムを追加し、セキュリティビットを設定しています。コンフィギュレーション中、入力データはリアルタイムでチェックされます。データが不正確な場合、デバイスはウェイクアップできず、**DONE** 信号は **Low** にプルダウンされます。セキュリティビットが設定されたビットス

トリームデータのコンフィギュレーション後、ユーザーはデータをリードバックできません。

4.4.1 オプションの設定

CRC の設定、ビットストリームデータの圧縮、暗号化キーの設定、セキュリティビットの設定、MSPI コンフィギュレーション周波数の選択、MULTI BOOT コンフィギュレーション・モードでの SPI Flash 起動アドレスの設定、USER CODE の設定などのビットストリームデータ関連設定 GUI を図 4-6 に示します。

図 4-6 オプションの設定



注記：

Gowin ソフトウェアでは、暗号化キー設定オプションにチェックを入れると、セキュアビット設定オプションも強制的にチェックを入れられるようになります。ユーザーは、このようなビットストリームデータでコンフィギュレーションすることで、データ転送の安全性を確保できるとともに、リードバック操作を防止できます。これにより、ユーザーのデータのセキュリティは最大限に保証されます。

4.4.2 コンフィギュレーションデータの暗号化

Arora V FPGA 製品は、ビットストリームの暗号化をサポートします (128-bit の AES 暗号化アルゴリズムを使用)。暗号化されたビットストリームデータのコンフィギュレーション手順は次のとおりです。

1. Gowin ソフトウェアで暗号化キーを入力してビットストリームファイルを生成します。
2. Gowin プログラミングソフトウェアで復号化キーを入力して FPGA

に保存します。

3. 暗号化されたビットストリームデータがデバイスにロードされた後、デバイスはデータ解析のために復号化キーを読み出します。
データの解析に成功した後、デバイスは正常にコンフィギュレーションされて動作します。データ解析が失敗した後、デバイスは動作できず、**READY** および **DONE** 信号はプルダウンされます。

定義

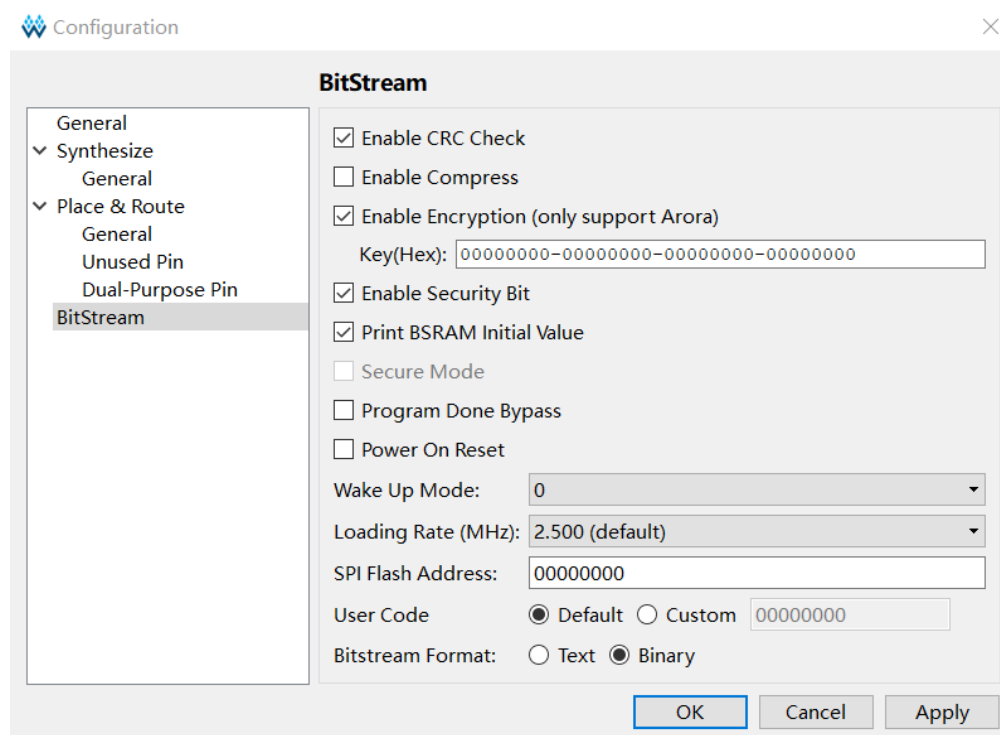
- **AES キー** : AES 暗号化アルゴリズムで使用する、ユーザーが指定する AES プライベートキーです。本文では **key(キー)** と呼びます。
- **AES キーの長さ** : 128 ビット
- **Key** : AES 暗号化キーの略で、Arora V FPGA 製品では **Key** を格納するために 128 ビットの領域が提供されています。
- **Lock** : この命令はキーの読み出し権限の制限に使用されます。本文では、このプロセスを **lock(ロック)** と呼びます。ロック状態になると、リードバックされるデータはすべて 1 となります。

暗号化キーの入力

Gowin ソフトウェアに暗号化キーを入力する方法は次のとおりです。

1. Gowin ソフトウェアでプロジェクトを開きます。
2. メニューバーで「**Project>Configuration**」を選択します。
3. 「**BitStream**」タブをクリックし、「**Enable Encryption(only support Arora)**」をチェックしてキーの値を入力します(図 4-7)。

図 4-7 暗号化キーの設定方法



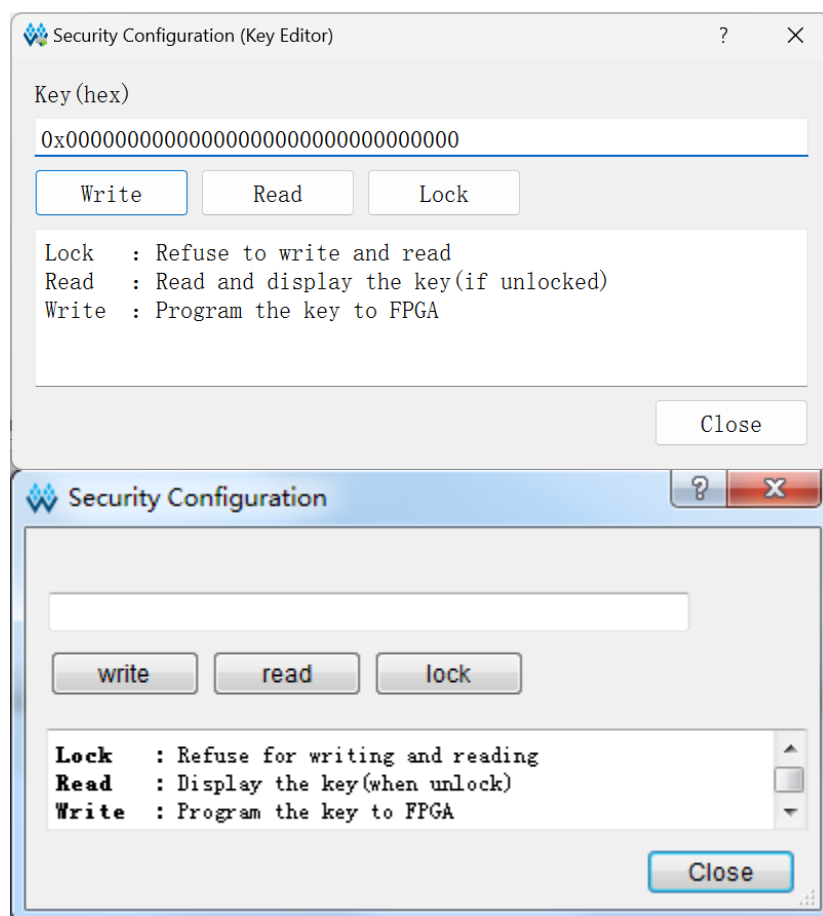
暗号化キーが正しく設定された後、復号化キーを **FPGA** のキー格納領域に書き込む必要があります。これにより、デバイスは暗号化されたビットストリームデータを解析してコンフィギュレーションを実行できます。

復号化キーの入力

復号化キーは次のように書き込まれます。

1. Gowin プログラミングソフトウェアを開きます。
2. FPGA デバイスをスキャンします。
3. デバイスを右クリックして **Security Key Setting** を選択します。
4. ポップアップしたウィンドウにこの前の暗号化キーの値を入力し、「Write」をクリックして **FPGA** に書き込みます(図 4-8)。

図 4-8 復号化キーの設定方法



復号化キーが書き込まれた後、検証のために画面上の読み出し(read) 命令を選択して書き込まれたキーをリードバックすることができます。

キーが書き込まれた後、ユーザーは **lock** 命令を使用してキーを **FPGA** 内にロックすることができます。これにより、キーの読み出しと書き込みはすべて無効になります：キーの値は変更できず、読み出されたビットは全部「1」となります。

復号化キーが設定された後、暗号化されたビットストリームデータは、復号化キーとの照合に成功した後にのみ利用可能です。暗号化されていないビットストリームデータのコンフィギュレーションは、キーの影響を受けません。

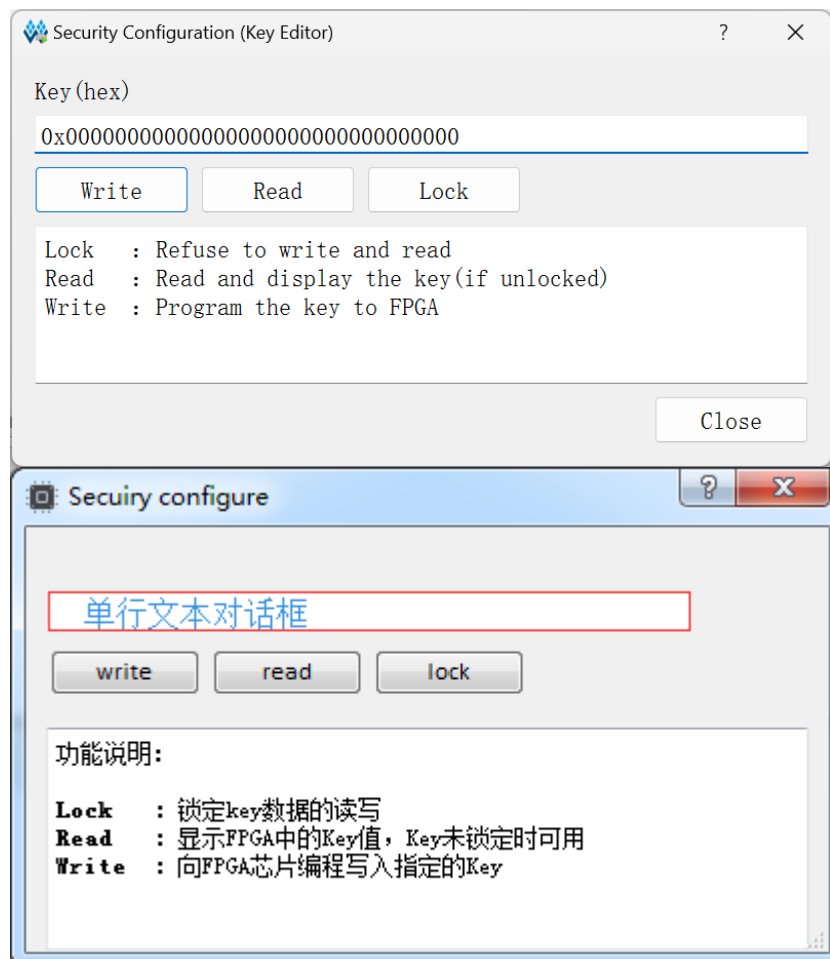
注記：

GOWIN セミコンダクターFPGA のキーの初期値のすべてのビットは **0** です。キー値のビットを **1** に変更した場合、**0** に戻すことはできません。たとえば、書き込まれたキー値が **00000000-00000000-00000000-00000001** の場合、このデバイスのキーの最下位ビットは常に **1** でなければなりません。

AES キーのプログラミング操作

Gowin Programmer は、AES キーのプログラミングツールを提供しています。「Edit」 > 「Security Key Setting」をクリックすると、このツールが開きます(図 4-9)。

図 4-9 AES プログラミングのダイアログ



このプログラムには以下の 3 つの機能があります。

- Write : Key のプログラミング
- Read : Key の読み出し
- Lock : Key の読み出し書き込み権限のロック

Key のプログラミング(Write)

1. ユーザー定義の Key(AES キー)を「单行文本对话框(一行テキストダイアログ)」に入力します。
2. 「Write」ボタンをクリックします。
3. この操作が終了します。

Key の読み出し(Read)

「read」ボタンをクリックすると、書き込まれた **AES** キーを検証することができます。読み出された **AES** キーは「単行文本对话框(一行テキストダイアログ)」に表示されます。

Key のロック(Lock)

「lock」ボタンをクリックすると、**Key** の読み出し書き込みがロックされ、**AES** キーの読み出し書き込みができなくなります。

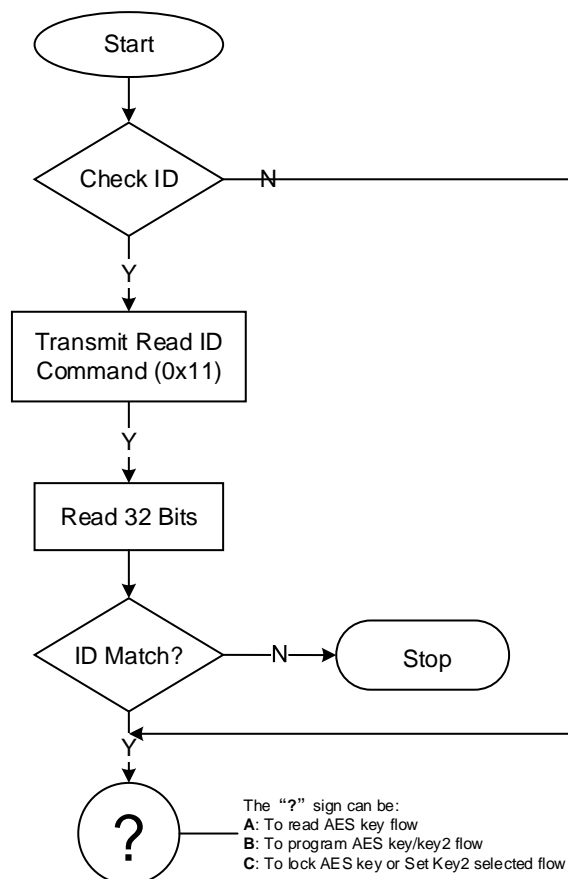
AES キーのプログラミング手順

図 4-10~は、**AES** キーのプログラミングまたはロックの手順です。これらの手順は **JTAG** プロトコルに基づいています。

ID CODE のチェック

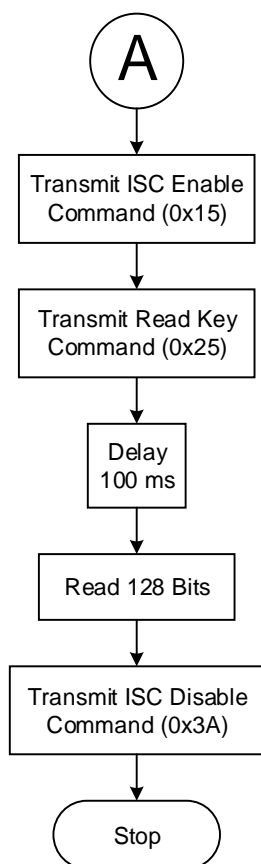
デバイスの **ID** をチェックすることにより、**JTAG** プロトコルが正しく動作しているかどうかを判断できるとともに、プログラミング対象が正しいかどうかを確認できます。

図 4-10 準備



AES Key の読み出し

図 4-11 AES Key の読み出しのフローチャート



AES Key のプログラミング

図 4-12 AES Key のプログラミングのフローチャート

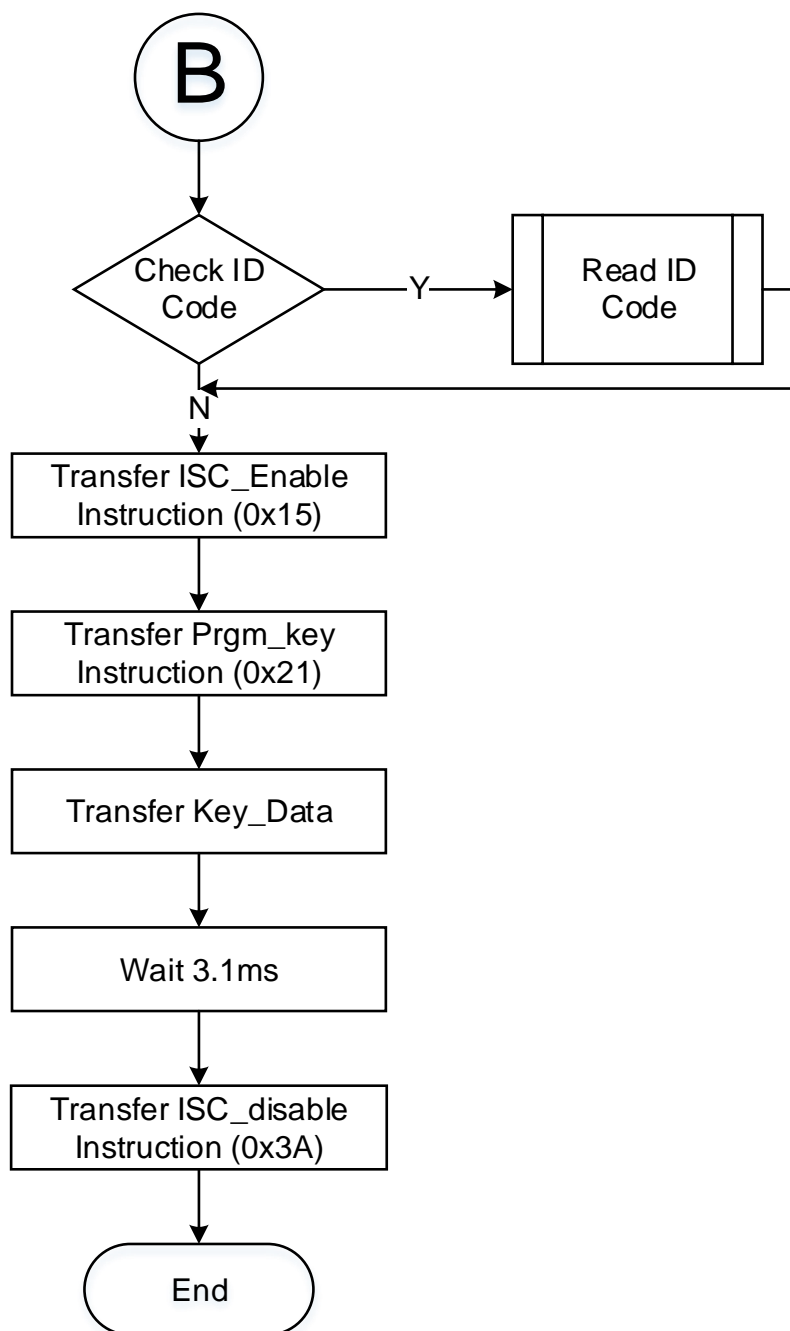
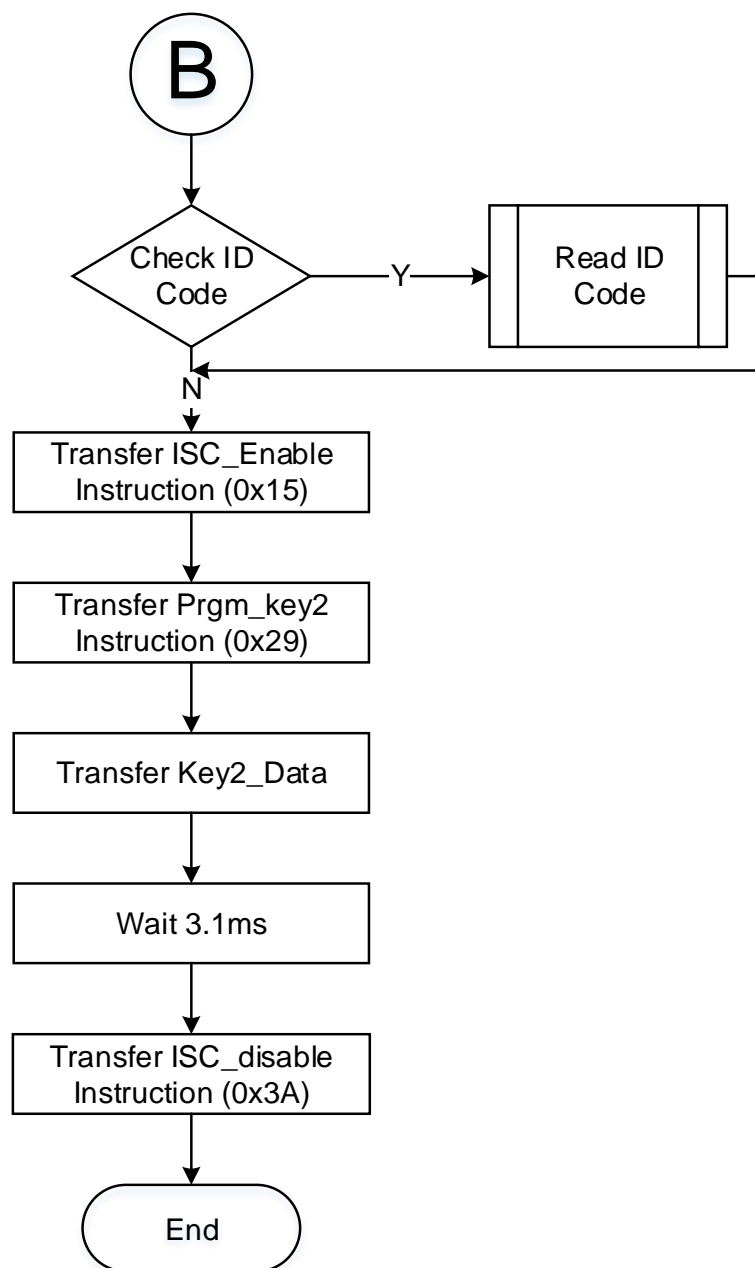


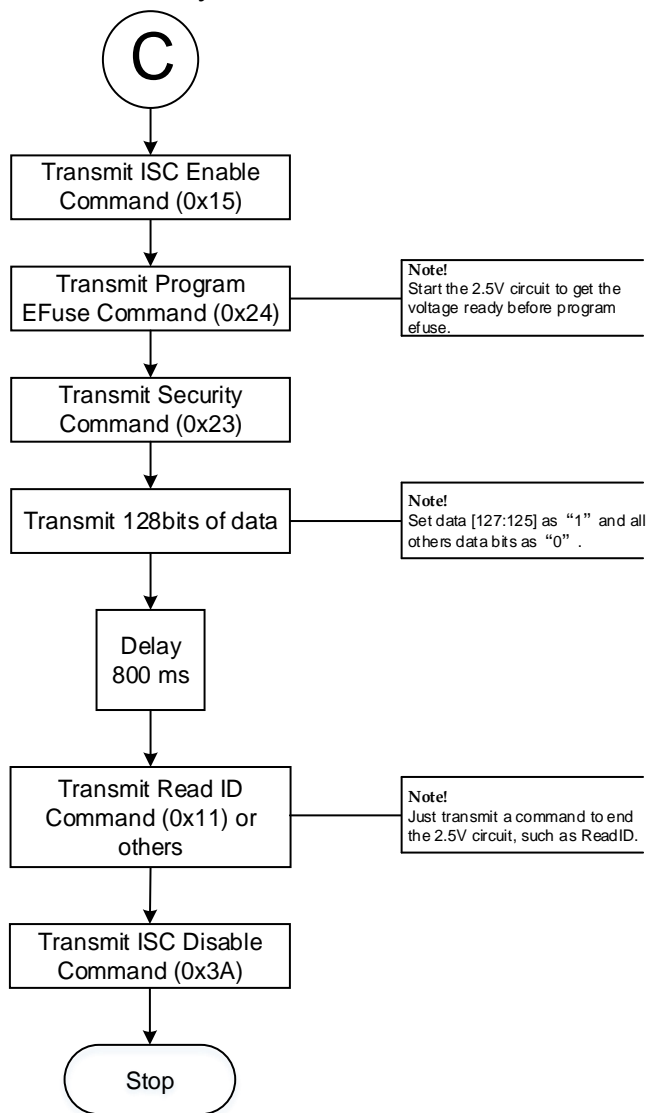
図 4-13 AES Key2 のプログラミングのフローチャート



AES Key のロック

AES Key をロックすることにより、キーの漏洩を防ぐことができます。AES Key がロックされた後、キーを読み出し/書き込みすることはできません。

図 4-14 AES Key のロックのフローチャート

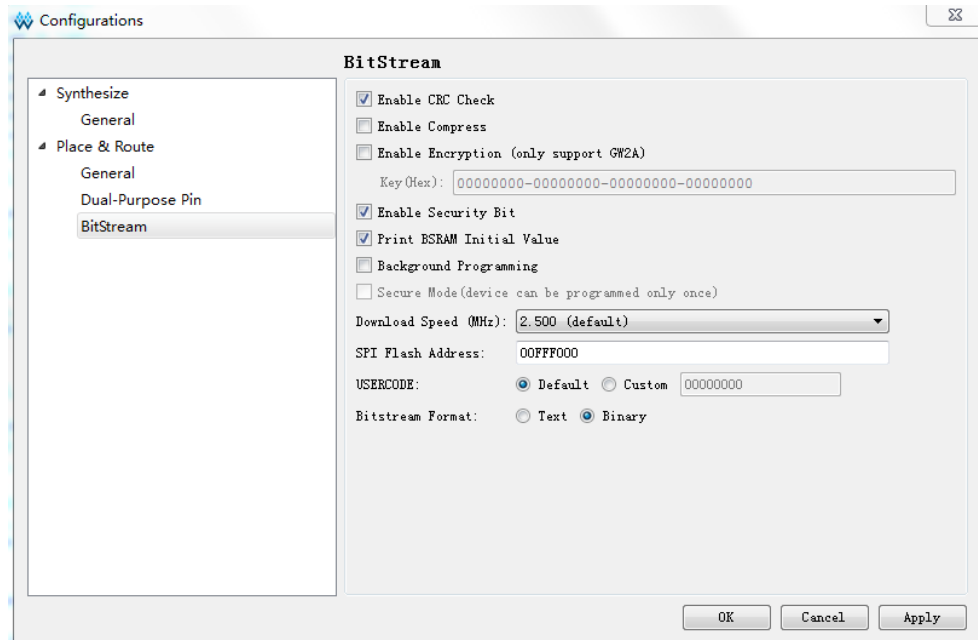
**4.4.3 コンフィギュレーションファイルのサイズ**

GOWIN セミコンダクターFPGA 製品のコンフィギュレーション用ビットストリームファイルの保存形式には、コメント情報を含むテキスト形式(ASCII)のファイルと、コメント情報のないバイナリ形式のファイルが含まれます。テキスト形式のファイル(拡張子は.fs)には、「//」で始まる行はコメントであり、その他の部分はビットストリームデータです。バイナリ形式のファイル(拡張子は.bin)には、コメントは含まれていません。このファイル形式は、通常、組み込みプログラミングに使用されます。ユーザーは Gowin ソフトウェアで保存形式を設定できます。

1. Gowin ソフトウェアでプロジェクトを開きます。

2. **Process** タブの **Place&Route** を右クリックして、**Configuration > BitStream** を選択します。
3. 図 4-15 に示すように、**Bitstream Format** オプションでテキスト形式またはバイナリ形式を選択します。

図 4-15 ビットストリーム形式の生成



GOWIN セミコンダクターは、ビットストリームデータの圧縮をサポートしています。圧縮率はユーザーの設計によって異なります。このドキュメントでは、圧縮されていないコンフィギュレーションファイルのサイズのみを示します(表 4-3)。

表 4-3 Arora V FPGA 製品のコンフィギュレーションファイルのサイズ(最大値)

LUT 数	コンフィギュレーションファイルのサイズ(最大値)
138240	5295KBytes

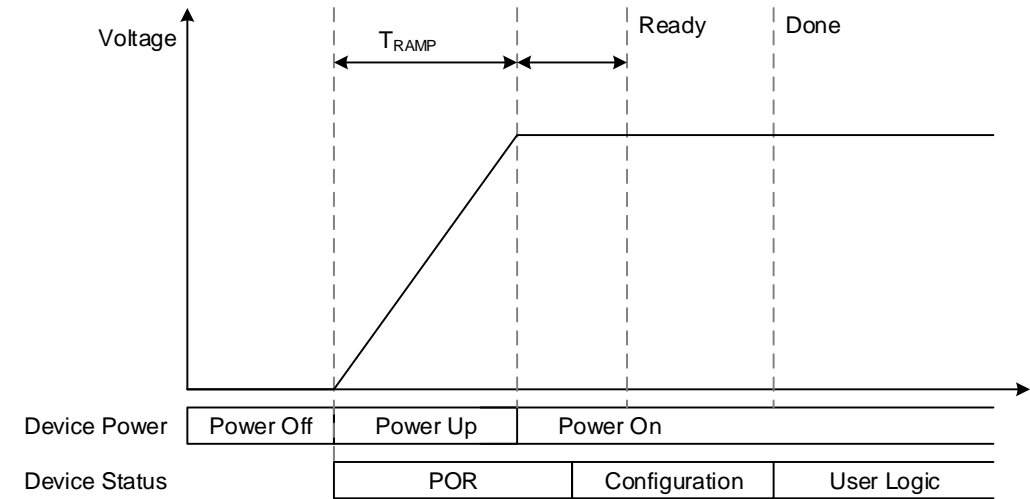
注記：

表に記載のデータは、圧縮されていないバイナリ形式のファイルのサイズです。SPI Flash を使用してデータストリーム・ファイルを保存する場合、余裕が必要です。

4.4.4 コンフィギュレーションファイルのロード時間

FPGA はマスターとして、Flash からデータストリーム・ファイルを読み出して SRAM にロードすることができます。図 4-16 に示すように、パワーアップ後、FPGA は Ready 後にデータストリーム・ファイルを読み出してコンフィギュレーションを実行します。コンフィギュレーション後、FPGA は User Logic 状態になります。

図 4-16 パワーアップの説明図



Arora V FPGA デバイスは MSPI モードをサポートしています。このモードでは、デバイスはオフチップ SPI Flash からデータを読み出してコンフィギュレーションを実行します。コンフィギュレーションファイルの読み出しのデフォルトの周波数は 2.5MHz です。SPI クロックごとに 1 ビットが読み出されるため、ロードに必要な時間はファイルのサイズに応じて計算できます。MSPI モードでの SPI Flash 読み出しクロックの周波数は最大 105MHz です。

ロード時間は、コンフィギュレーションファイルのサイズ、ロードの周波数、およびクロックごとのロード数により異なります。

MSPI モードでのデータストリーム・ファイルのロード時間は表 4-4 のとおりです。

表 4-4 MSPI モードでのデータストリーム・ファイルのロード時間

LUT 数	コンフィギュレーションファイルのサイズ(最大値)	SPI x1、ロード周波数=2.5MHz の場合のロード時間(ms)	SPI x1、ロード周波数=25MHz の場合のロード時間(ms)	SPI x1、ロード周波数=104MHz の場合のロード時間(ms)	SPI x4、ロード周波数=104MHz の場合のロード時間(ms)
138,240	5295 KBytes	17350	1735	417	104

上記のロード時間は参照用です。コンフィギュレーション時間に加えて、パワーアップ時間 Tramp とデバイスの初期化時間もあります。パワ

ーアップ時間は、デバイスにより異なるので、自分で測定する必要があります。したがって、パワーアップから **FPGA** のロードが完了するまでのおおよその時間は次のように計算できます。

MSPI モード：

$$T_{\text{ロード時間}} = \text{POR 時間} + \text{データストリームのビット数/ロード周波数}$$

4.5 SPI Flash の選択

GOWIN セミコンダクター **FPGA** 製品でサポートされているオフチップ SPI Flash デバイスの操作命令は表 4-5 に示すとおりです。一般に、通常の読み出し命令と高速読み出し命令をサポートする **Flash** であれば、Gowin **FPGA** はこの **Flash** からコンフィギュレーションデータをロードすることができます。例えば **Mxic** 社や **GigaDevice** 社や **Winbond** 社の製品など、市販されている一般的な製品が使用できます。

表 4-5 SPI Flash の操作命令

操作	命令
Read	8' h03
Fast read	8' h0B
Dual output fast read	8' h3B
Quad output fast read	8' h6B
4-byte read	8' h13
4-byte fast read	8' h0C
4-byte dual output fast read	8' h3C
4-byte quad output fast read	8' h6C

注記：

Gowin **FPGA** がサポートする **Flash** の読み出し命令のうち、少なくとも 1 つは **03** または **0B** であり、**Flash** の容量は **64Mb** 以上である必要があります。

5 ステータスレジスタと Efuse の定義

5.1 ステータスレジスタ

デバイスはデバッグ用のステータスレジスタ(Status Register)を内蔵しています。Status Register を読み出すことで、デバイスの状態を予備確認できます。例えば、wakeup の成功や失敗、ロードエラーの有無などを確認できます。

表 5-1 Status Register

Device Status Register[31:0]	GW5A-138 / GW5AT -138 / GW5AST-138 / GW5AS-138
0	CRC Error (1 : エラーあり。0 : エラーなし)
1	Bad Command Error(1 : エラーあり。0 : エラーなし)
2	ID Verify Failed Error(1 : エラーあり。0 : エラーなし)
3	Timeout Error(1 : エラーあり。0 : エラーなし)
4	Auto_Boot_2nd_Fail
5	Memory_erase
6	Preamble
7	Edit_Mode
8	Prgm_Spi
9	Auto_Boot_1st_Fail
10	Nj_Active
11	Cmd_Bypas_State
12	I2c_Sram_F
13	Done Final(通常、ロードが成功した場合は 1、ロードが失敗した場合は 0)

Device Status Register[31:0]	GW5A-138 / GW5AT -138 / GW5AST-138 / GW5AS-138
14	Security Final(1 : セキュリティビットが有効、0 : セキュリティビットが無効)
15	Encryption Format(1 : 暗号化されたデータストリーム・ファイルが使用されている)
16	Encryption Key Match(1 : キーが正しい。0 : キーが間違っている)
17	SSPI_MODE
18	Ser_Crc_Done
19	Ser_Crc_Err
20	Ser_Ecc_Corr
21	Ser_Ecc_Uncorr
22	Ser_Ecc_Runing
23-24	Cpu_Bus_Width
25-31	-

5.2 OTP Efuse

Arora V FPGA 製品は、ワンタイム・プログラミングをサポートする 128 ビット OTP スペースを提供します。その中で、Bit0～Bit31 はユーザー領域であり、メーカーはこの領域を使用してセキュリティ情報やその他の重要な情報を保存できます。Bit32～Bit95 は DNA 領域で、デバイスの 64 ビットの一意の識別情報が格納されます。

GW5A-138/GW5AT -138/GW5AST-138/GW5AS-138 デバイスの OTP の定義は下表に示すとおりです。

表 5-2 OTP の定義

Name	Bit Index	Description
user_misc	127~112bit (16bits)	Reserved
		119~118bit (2bits) reserved
		117~114bit otp_2nd_boot_addr (4bits)
		Reserved
		Reserved
user control	111~96bit (16bits)	Reserved
		107bit prgm_user_control_lock
		106bit rd_user_misc_lock
		105bit prgm_user_misc_lock
		104bit lock_sel_key_r
		103bit prgm_rd_dna_lock
		102bit rd_fuse_user_lock
		101bit prgm_fuse_user_lock
		100bit rd_key2_lock
		99bit prgm_key2_lock
		98bit rd_key_lock
		97bit prgm_key_lock
		96bit cfg_aes_only
device identifier (DNA)	95~32bit (64bits)	95~60 bit (36bits) lotid
		59~52bit (8bits) wafer id
		51~44bit (8bits) x coordinate
		43~36bit (8bits) y coordinate
		Reserved
fuse user	31~0bit (32bits)	User defined

6 MULTI BOOT コンフィギュレーション及び バックグラウンドアップグレード

Arora V FPGA の MULTI BOOT コンフィギュレーション機能は、柔軟な動的コンフィギュレーションと信頼性の高いバックグラウンドアップグレードをサポートします。コンフィギュレーション中にエラーが検出された場合、FPGA はフォールバック機能により Golden ファームウェアをロードすることができます。MULTI BOOT コンフィギュレーション機能は、MSPI コンフィギュレーション・モード時のみ使用可能です。

6.1 MULTI BOOT コンフィギュレーションの手順

Flash は、それぞれ Multiboot Bitstream1、Multiboot Bitstream2、および Golden Bitstream1 を格納するための 3 つの領域に分割されます。パワーアップ後、デバイスはまず Multiboot Bitstream1 をアドレス 0 からロードし（デフォルトでは Multiboot Bitstream1 のロードアドレスは 0 であり、EDA により任意のアドレスに設定可能）、その後 User_Mode1 に移行して対応するロジック機能を実行することになります。

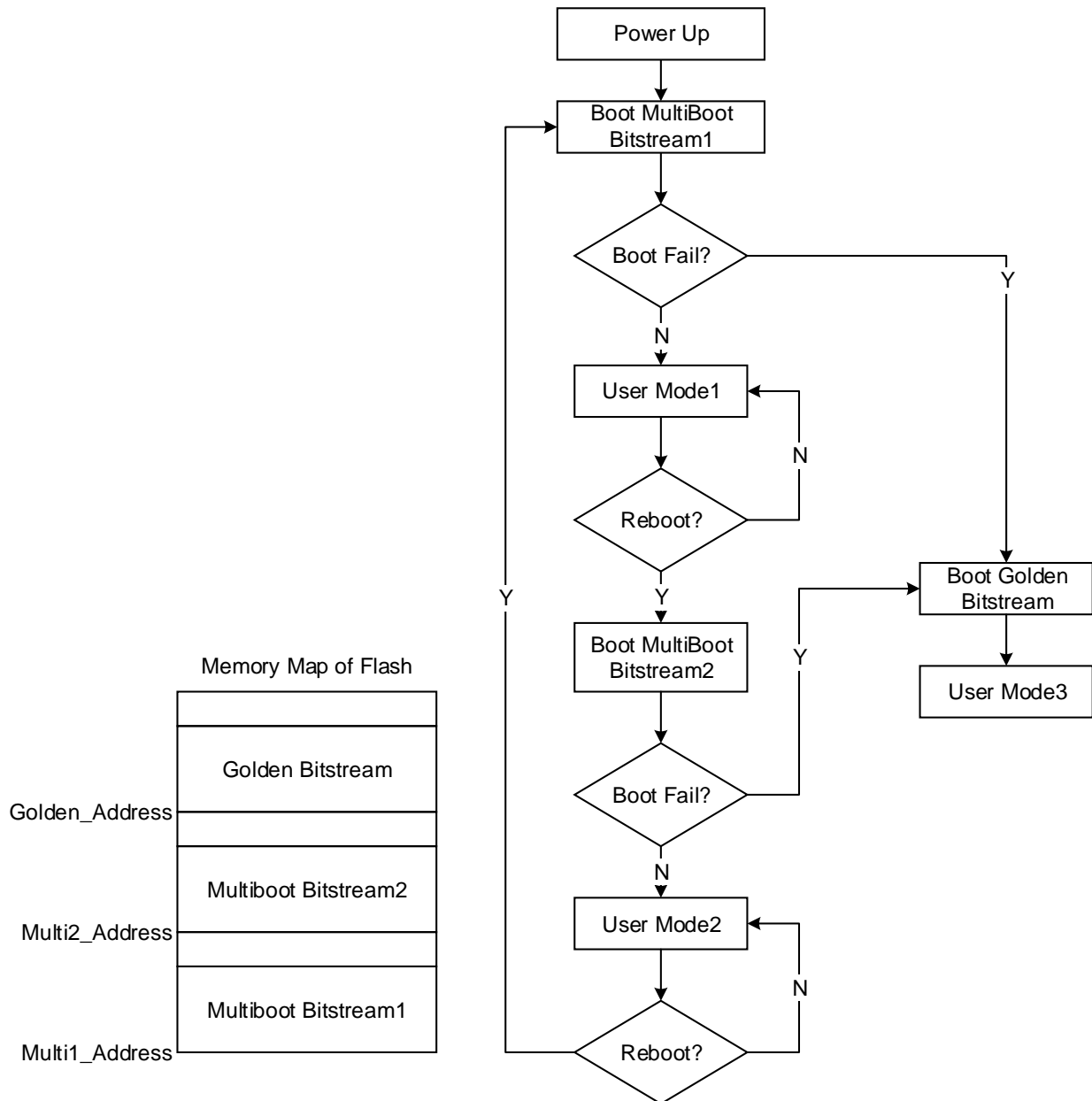
User_Mode1 では、Reboot 命令を受信した場合、または RECONFIG_N が外部の Low パルスによってトリガされた場合、デバイスは指定された Multi2_Address アドレスから MSPI モードで Multiboot Bitstream2 をロードし、その後 User_Mode2 に移行して対応するロジック機能を実行することになります。User_Mode2 では、Reboot 命令を受信した場合、または RECONFIG_N が外部の Low パルスによってトリガされた場合、デバイスは指定された Multi1_Address アドレスから MSPI モードで Multiboot Bitstream1 をロードし、その後 User_Mode1 に移行して対応するロジック機能を実行することになります。以上のように、ユーザーは柔軟にデバイスのロジック機能を切り替えることができます。

MultiBoot Bitstream のロード中にエラーが発生した場合、デバイスは、あらかじめ設定された Golden Address から Golden Bitstream をロードするため、システムの安定動作が確保されます。

MULTI BOOT コンフィギュレーションのフローを図 6-1 に示しま

す。

図 6-1MULTI BOOT コンフィギュレーションのフローチャート



6.2 バックグラウンドアップグレードと Hotboot

Arora V FPGA は、JTAG/SSPI/QSSPI または User Logic によるバックグラウンドアップグレードをサポートしています。JTAG/SSPI/QSSPI インターフェイスによる Flash アクセスについては [3](#) コンフィギュレーション・インターフェースを参照してください。User Logic による Flash アクセスを実装するには、Gowin が提供する関連 IP を使用する必要があります。システムの堅牢性を向上させるために、リモートアップグレードの際に Golden Bistream 領域を予約することをお勧めします。

さらに、Arora V FPGA は Hotboot モードもサポートしています。つ

まり、バックグラウンドアップグレードが完了した後、**Reboot** 命令を受信した場合、または **RECONFIG_N** が外部の **Low** パルスによってトリガされた場合、デバイスのすべての出力 **IO** はウェイクアップが成功するまで現在の状態に固定されます。

